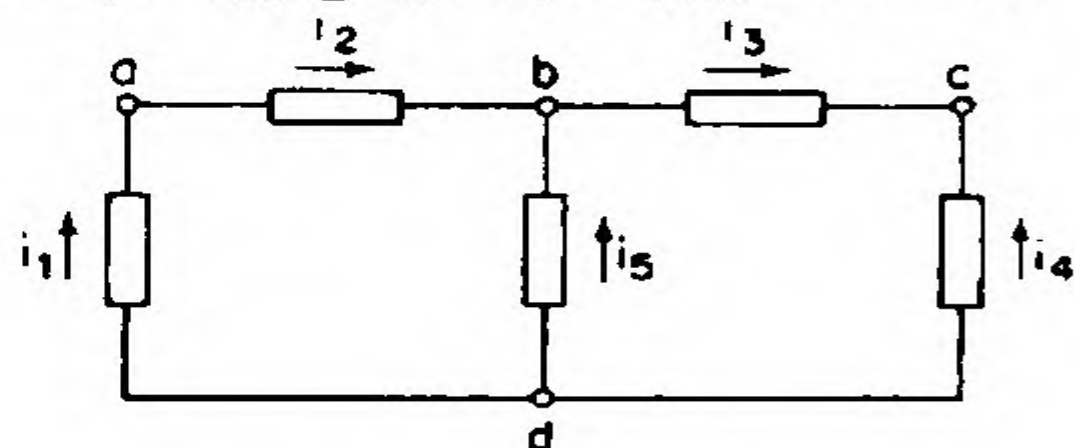


سوالات استخدامی : مبانی الکترونیک دیجیتال

۱- معادلات KCL برای مدار الکتریکی زیر کدام است ؟



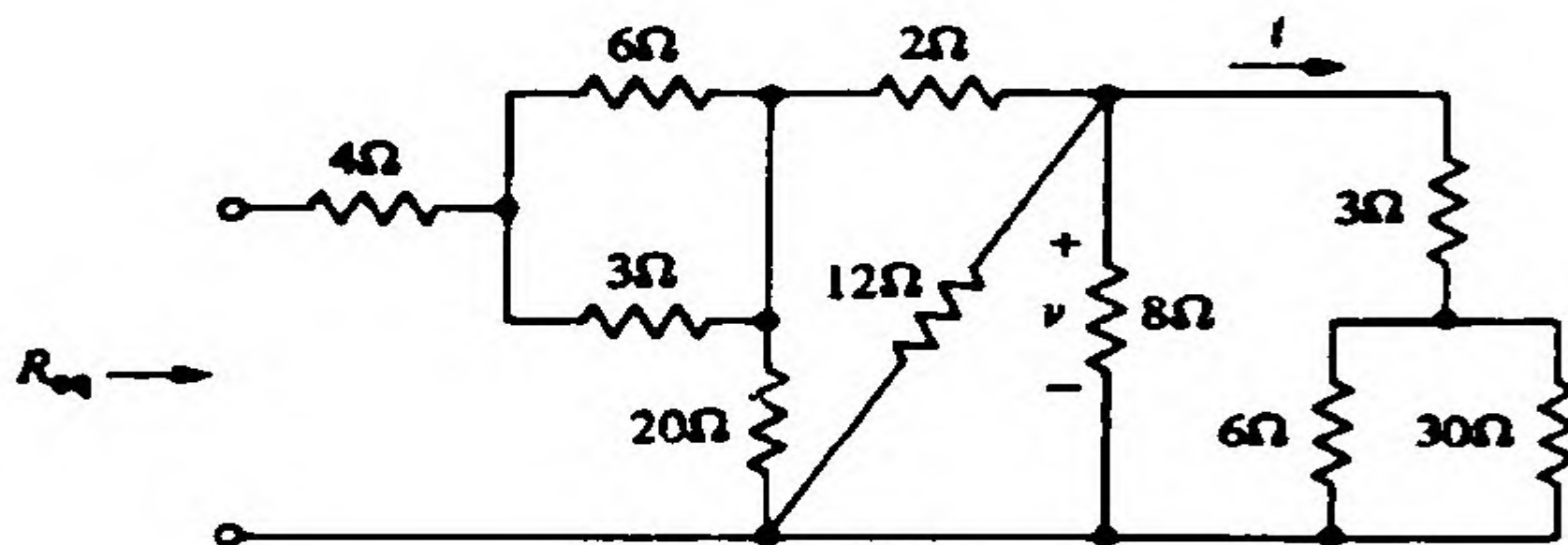
۱. $I_4 + I_3 = 0$, $I_2 + I_1 = 0$, $I_2 + I_5 - I_3 = 0$

۲. $I_4 - I_3 = 0$, $I_2 - I_1 = 0$, $I_2 + I_5 - I_3 = 0$

۳. $v_1 + v_2 + v_3 - v_4 = 0$, $v_5 + v_3 - v_4 = 0$, $v_1 + v_2 - v_5 = 0$

۴. $v_1 + v_2 + v_5 - v_4 = 0$, $v_2 + v_3 - v_4 = 0$, $v_1 + v_2 - v_4 = 0$

۲- در مدار زیر مقدار R_{eq} چقدر است؟



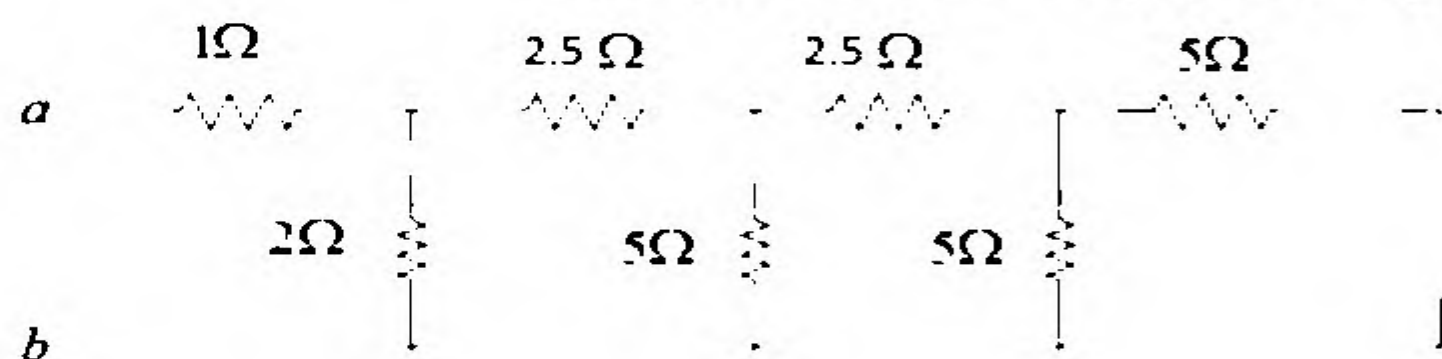
۱۴ . ۴

۸ . ۳

۱۲ . ۲

۱۰ . ۱

۳- مقاومت معادل از نقاط A تا C کدام است؟



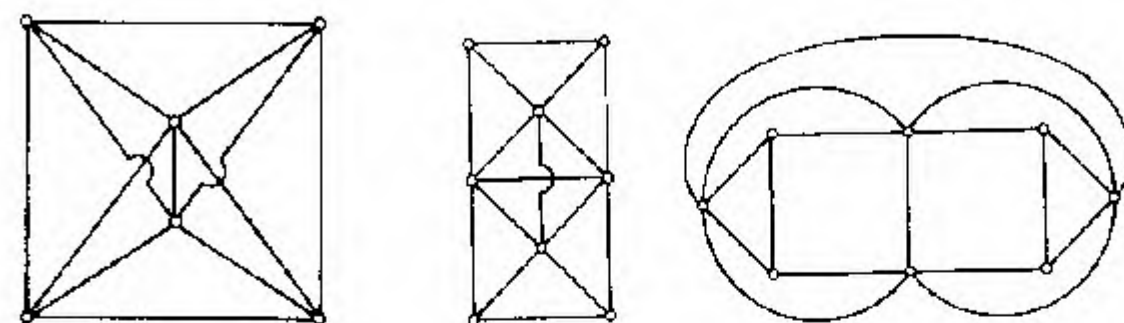
۰.۰۴ . ۴

۲.۴۳ . ۳

۰.۳۹ . ۲

۲.۱۵ . ۱

۴- کدامیک از گرافهای زیر یک شبکه غیر مسطح را نشان میدهد؟



(الف) (ب) (ج)

۱. الف ۲. ب ۳. ج ۴. ب و ج

۵- کدام منطق بیشترین سرعت را دارد؟

۱. BICMOS ۲. PMOS ۳. CMOS ۴. NMOS

۶- در مدارهای مجتمع بسیار بسیار بزرگ (ULSI) و غول آسا (GSI) تعداد گیت ها به ترتیب کدامند؟

۱. بین ۵۰ هزار و ۱۰ هزار گیت و بیش از ۱۰۰ هزار گیت
۲. بین ۲۰ هزار و صد هزار گیت و بیش از ۵۰ هزار گیت
۳. بین ۳۰ هزار و ۵۰ هزار گیت و بیش از ۱۰۰ هزار گیت
۴. بین ۱۰ هزار و ۱۰۰ هزار گیت و بیش از ۱۰۰ هزار گیت

۷- کدام رابطه در باره حاشیه نویز درست است؟

۱. $NM_H = V_{OH} - V_{IH}$ و $NM_L = V_{IL} - V_{OL}$
۲. $NM_H = V_{OH} - V_{IH}$ و $NM_L = V_{OL} - V_{IL}$
۳. $NM_H = V_{IH} - V_{OH}$ و $NM_L = V_{IL} - V_{OL}$
۴. $NM_H = V_{OH} - V_{IL}$ و $NM_L = V_{OH} - V_{OL}$

۸- کدام گزینه در باره تفاوت BJT و FET درست است؟

۱. در BJT با جریان ورودی جریان خروجی کنترل می شود ولی در FET با ولتاژ ورودی جریان خروجی کنترل می شود.
۲. در BJT با ولتاژ ورودی جریان خروجی کنترل می شود ولی در FET با ولتاژ ورودی جریان خروجی کنترل می شود.
۳. در BJT با جریان ورودی جریان خروجی کنترل می شود ولی در FET با ولتاژ ورودی ولتاژ خروجی کنترل می شود.
۴. در BJT با ولتاژ ورودی ولتاژ خروجی کنترل می شود ولی در FET با ولتاژ ورودی جریان خروجی کنترل می شود.

۹- در یک ترانزیستور PMOS پایه گیت به زمین ، پایه درین به ولتاژ 0.3 V ، پایه سورس به ولتاژ 2.5 V متصل شده اند ، اگر $\mu_p C_{ox} W/L = 115\text{ }\mu\text{A/V}^2$ ، $V_{TP} = -0.4\text{ V}$ و $\lambda = -0.1\text{ V}^{-1}$ جریان ترانزیستور کدام است ؟

۱. $309\text{ }\mu\text{A}$ ۲. $240\text{ }\mu\text{A}$ ۳. $260\text{ }\mu\text{A}$ ۴. $281\text{ }\mu\text{A}$

۱۰- برای ولتاژ خارجی دو سر یک دیود $V_D = 1\text{ V}$ و $I_S = 10^{-14}\text{ A}$ و $n = 1$ در دمای 27°C سانتیگراد ($V_T = 25.75\text{ mV}$) جریان دیود چند آمپر است ؟

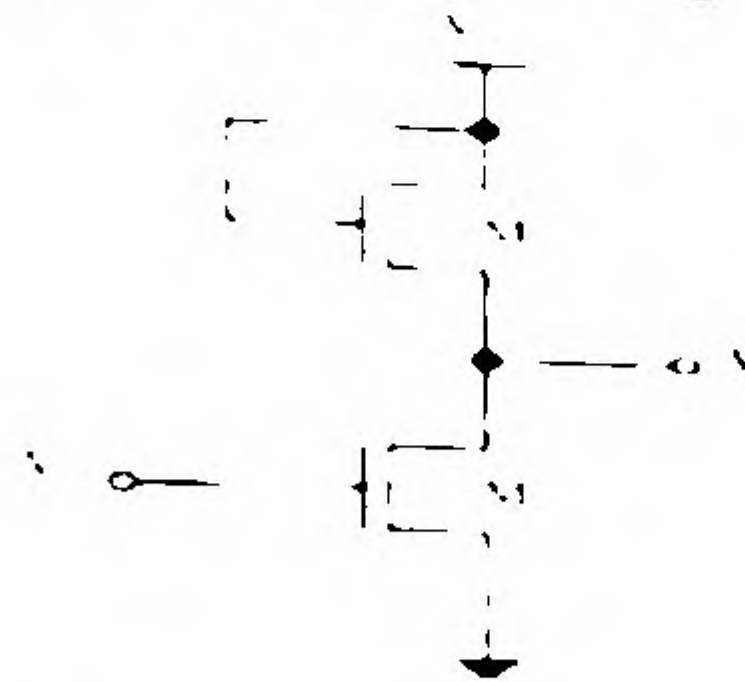
۱. $I_D = 10^{14}\text{ A}$ ۲. $I_D = 2.35\text{ kA}$

۳. $I_D = 9.02 \times 10^{25}\text{ A}$ ۴. $I_D = 10^{25}\text{ A}$

۱۱- ولتاژ آستانه یک ترانزیستور PMOS بدون اثر بدنه برابر -0.5 V است اگر ضریب اثر بدنه برابر -0.4 باشد ولتاژ آستانه برای $V_{SB} = -2.5\text{ V}$ و $2\phi_F = 0.8\text{ V}$ چند ولت خواهد بود ؟

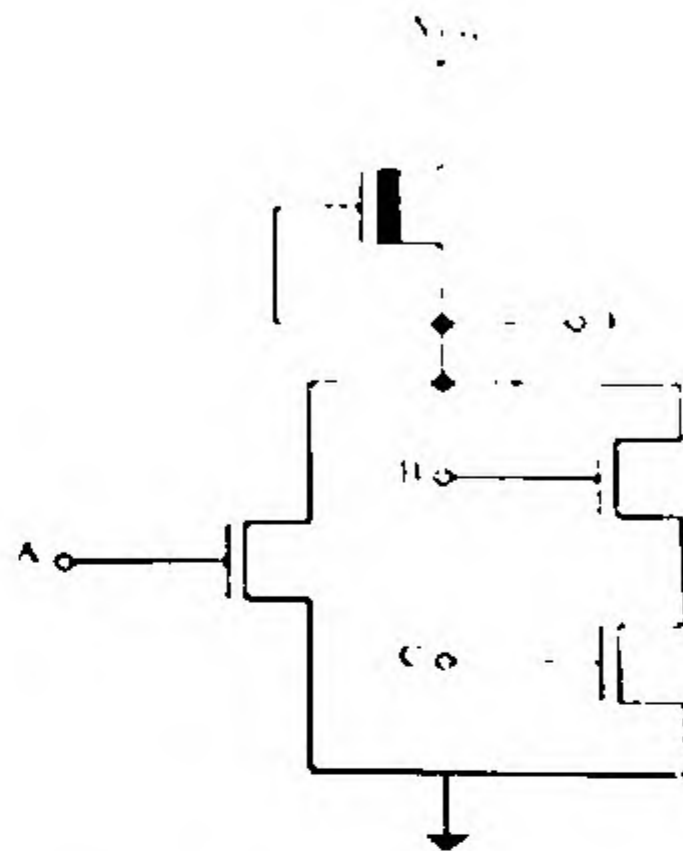
۱. 0.33 ۲. 0.87 ۳. 0.6 ۴. 0.77

۱۲- در آرایش زیر $V_{DD} = 2.5\text{ V}$ ، $V_{TNS} = V_{TNL} = 0.5\text{ V}$ ، $K'_n = 100\text{ }\mu\text{A/V}^2$ ، $(\frac{W}{L})_S = 2$ ، $(\frac{W}{L})_S = 0.5$ با صرف نظر از اثر بدنه V_{OH} و V_{OL} به ترتیب کدامند ؟



۱. 3 V و 0.37 V ۲. 2 V و 0.17 V ۳. 2 V و 0.27 V ۴. 4 V و 0.27 V

۱۳- مدار زیر پیاده شده کدام تابع است ؟



۱. $F = \overline{(A + C)}$ ۲. $F = \overline{(A + BC)}$ ۳. $F = \overline{(BA + C)}$ ۴. $F = A + BC$

۱۴- در صورتی که $R_{onP} = 2.5K\Omega, C = 6fF$ باشد مقدار تاخیر انتشار t_{PHL} چند پیکو ثانیه خواهد بود؟

۱. ۱۹.۳۵ ۲. ۴۴.۴ ۳. ۳۵.۱۹ ۴. ۴.۴۴

۱۵- یک تراشه CMOS که با فناوری 0.25 میکرون طراحی شده و با ولتاژ 2.5 V کار می کند دارای فرکانس کاری ۵۰۰ مگاهرتز است با فرض اینکه تعداد یک میلیون گیت داخل این تراشه وجود داشته باشد و خازن خروجی هر گیت ۱۵

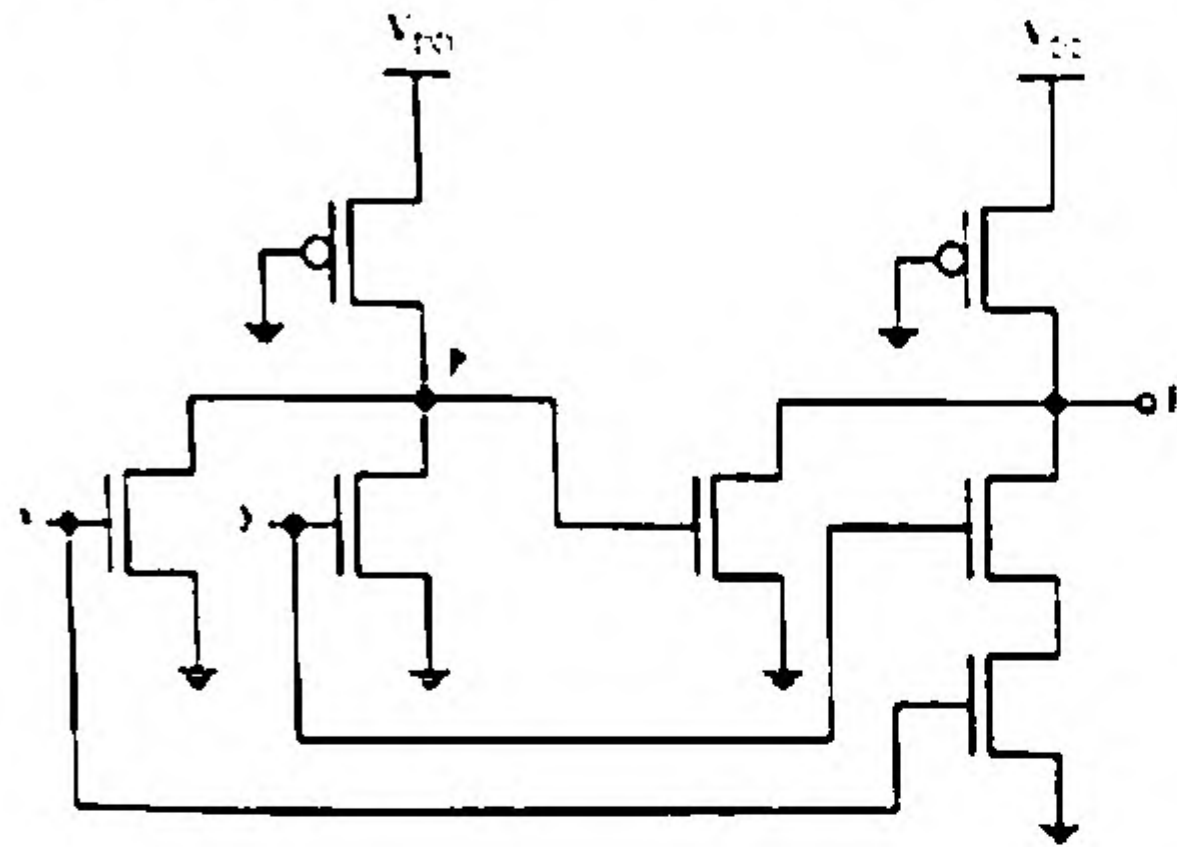
فمتوفاراد باشد، مصرف توان پویای این تراشه چند وات است ؟ $P_D = (\text{number of gates}) \times fC V_{DD}^2$

۱. ۴۹.۶ ۲. ۴۹۶ ۳. ۴۹۶۰ ۴. ۴۹۶۰۰

۱۶- در مدارهای CMOS مصرف توان دارای چند مولفه بوده و کدام یک بر دو تای دیگر غلبه دارد ؟

۱. سه مولفه و توان پویا بر دو تای دیگر غلبه دارد ۲. سه مولفه و مولفه توان ایستا بر دو تای دیگر غالب است
۳. دو مولفه و توان اتصال کوتاه بر دو تای دیگر غالب است ۴. سه مولفه و هیچ یک بر دیگری غالب نیست

۱۷- مدار زیر متشکل از دو طبقه NMOS است ، کدام گزینه را پیاده سازی می کند ؟



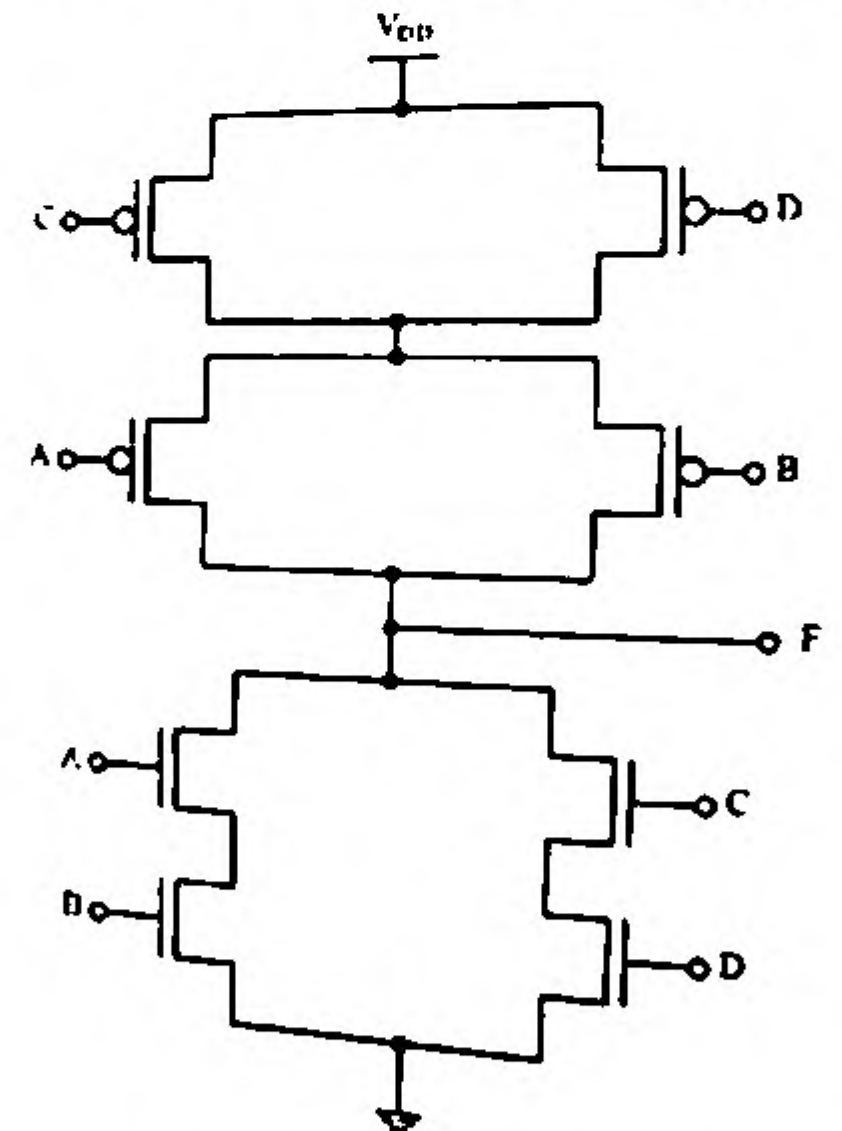
۱. $X+Y$

۲. $X.Y$

۳. $XY'+X'Y$

۴. $XY+X'Y'$

۱۸- مدار زیر کدام تابع را در CMOS استاندارد میسازد؟



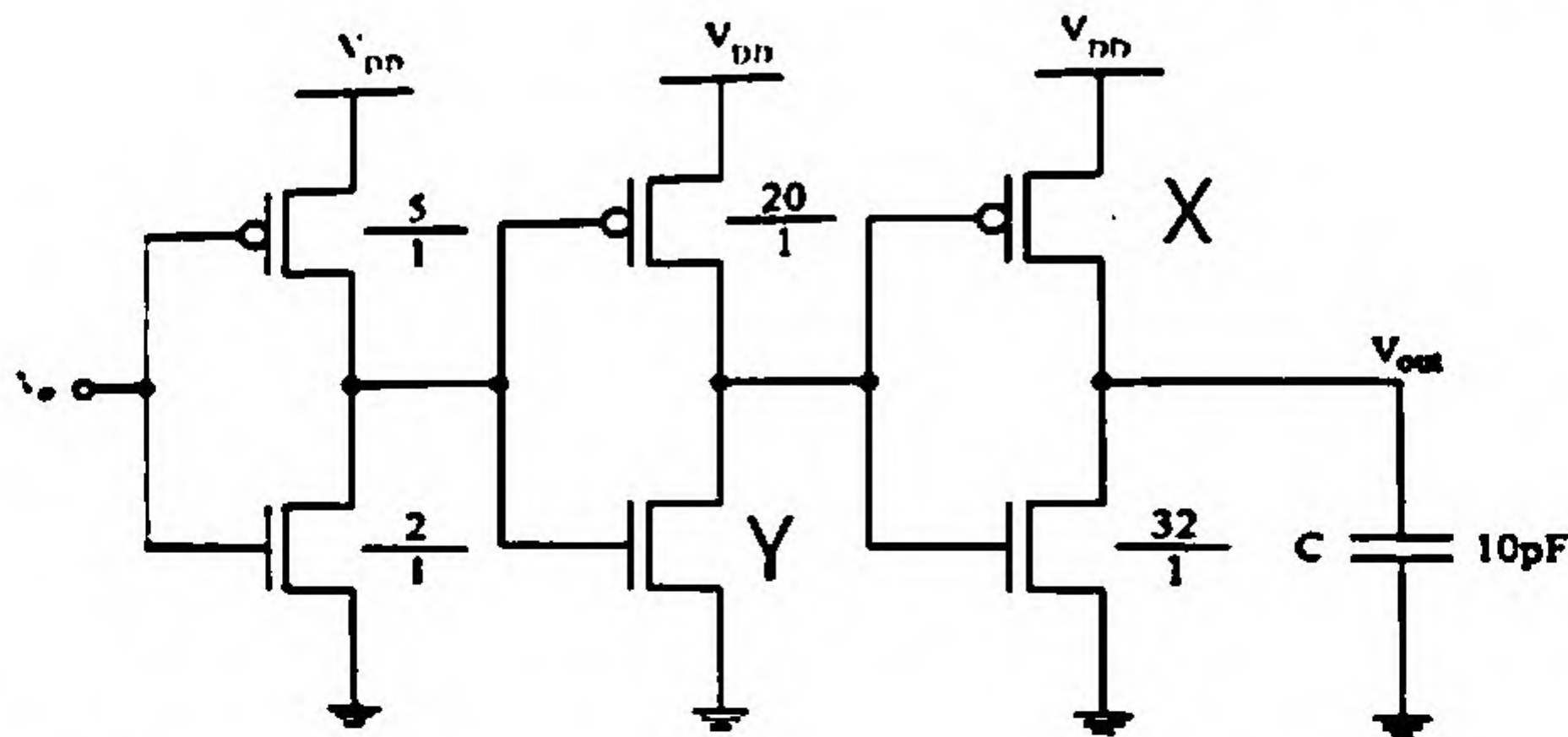
۱. $F = \overline{(A+B).(C+D)}$

۲. $F = \overline{(AB+CD)}$

۳. $F = (AB+CD)$

۴. $F = (AB+CD)$

۱۹- برای اینکه تاخیر بهتری داشته باشیم باید تاخیر طبقات را متعادل کرده و مساوی هم لحاظ کنیم با این توضیحات ابعاد ترانزیستور X و Y در مدار زیر چقدر باید باشد؟



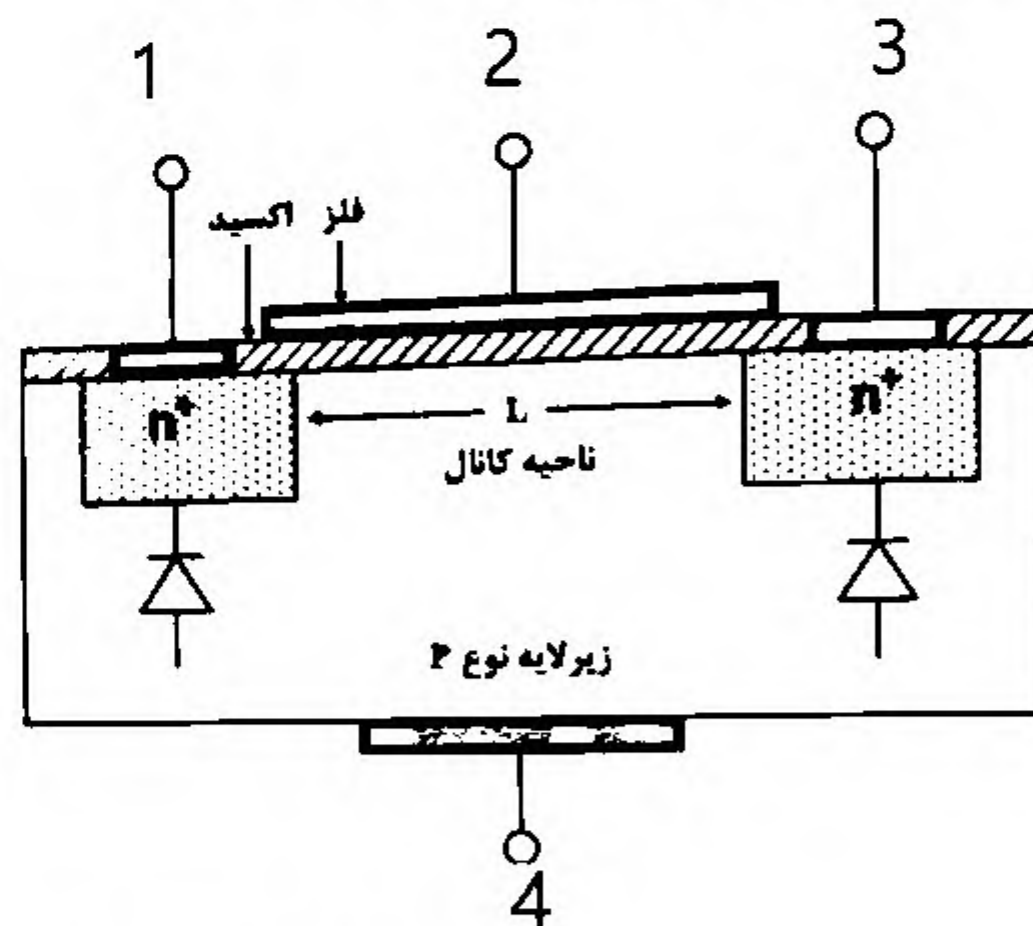
۴. $Y=10$ و $X=80$

۳. $Y=6$ و $X=60$

۲. $Y=8$ و $X=80$

۱. $Y=6$ و $X=45$

۲۰- شکل زیر چه نوع ترانزیستوری است پایه‌های آن به ترتیب از ۱ تا ۴ کدامند؟



۲. CMOS سورس گیت درین بدنه

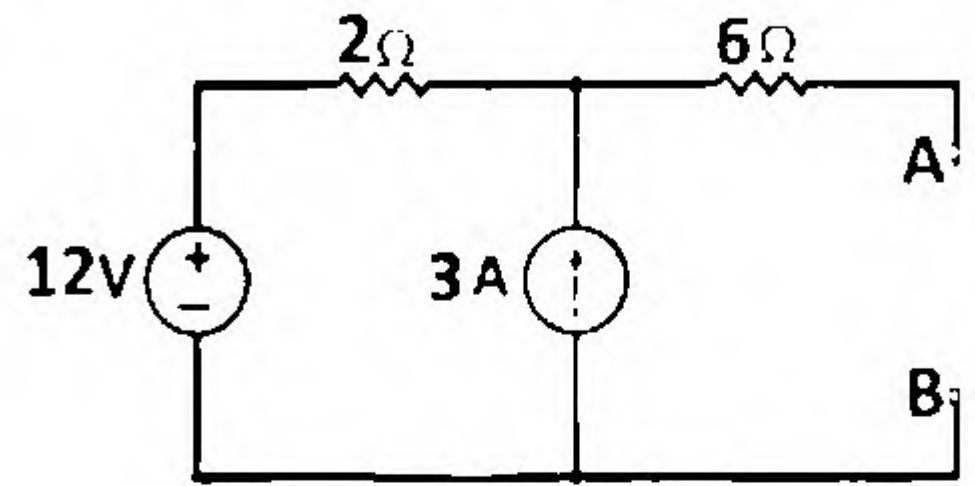
۱. CMOS گیت سورس درین بدنه

۴. BJT سورس گیت درین بدنه

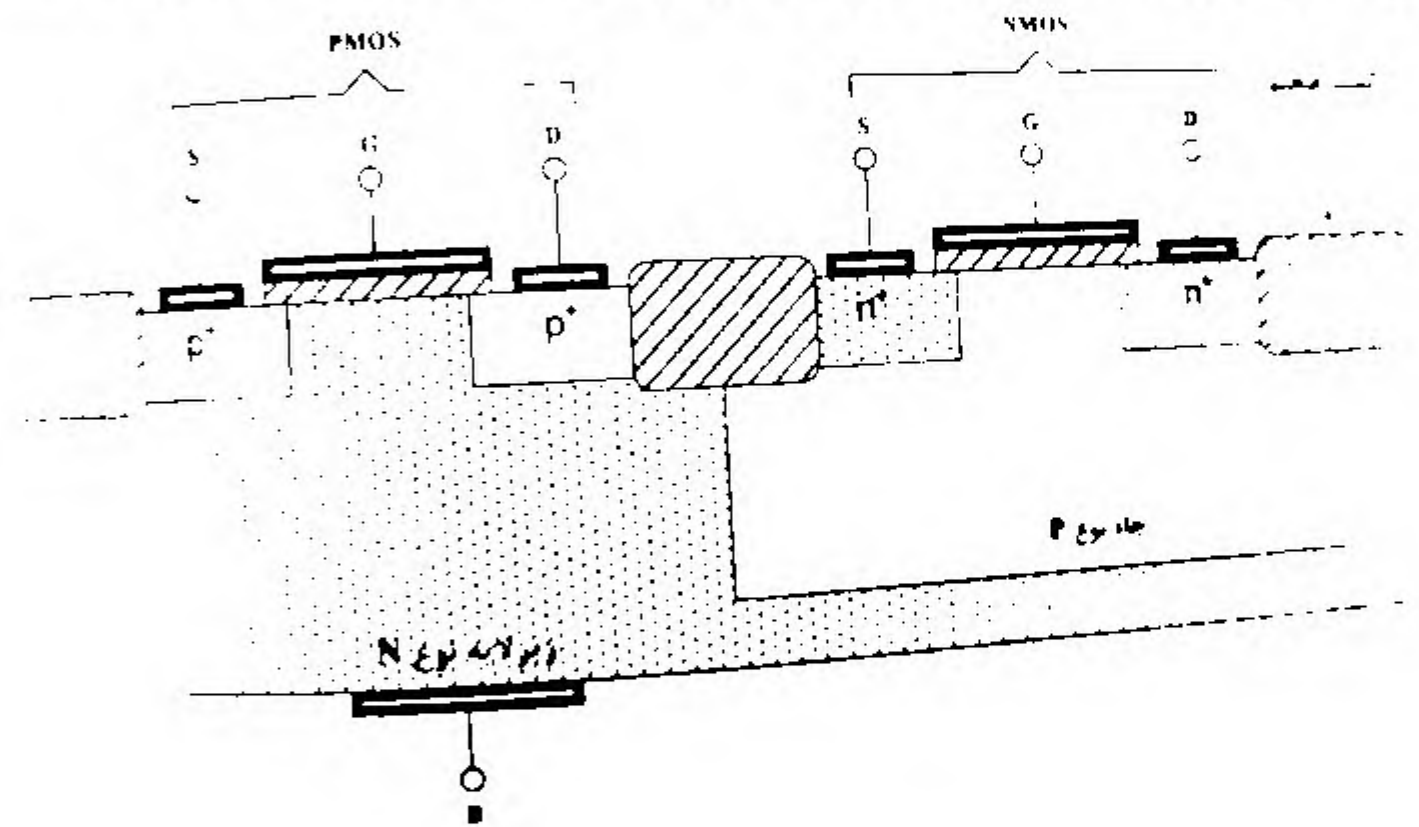
۳. BJT گیت سورس درین بدنه

سوالات تشریحی

۱- مدار معادل تونن مدار زیر را از سرهای A و B بنویسید.

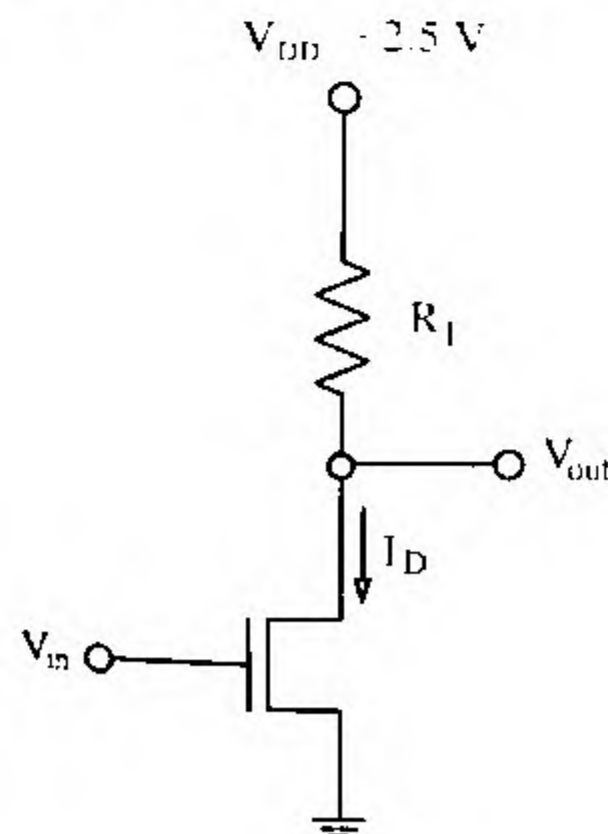


۲- آنچه در مورد شکل زیر می‌دانید بنویسید شامل قسمت‌های مختلف، اسم شکل، عملکرد آن و



۳- برای مدار وارونگر زیر نقاط بحرانی مدار را تعیین نموده و بر اساس آن منحنی مشخصه انتقال ولتاژ (VTC) را به صورت تقریبی رسم کنید. حاشیه نویز بالا و پائین، توان متوسط مصرفی ایستا را بدست آورید.

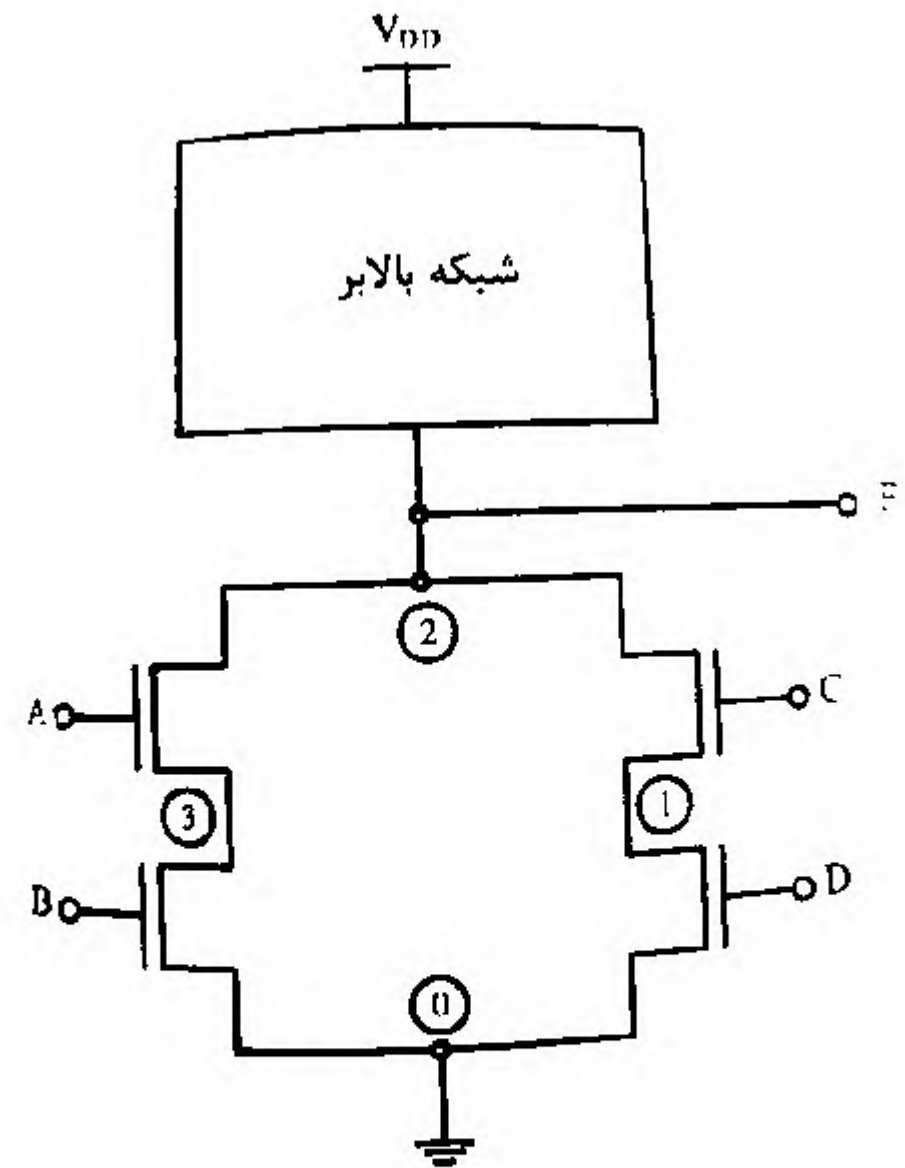
$$R_L = 50 \text{ K}\Omega, K'_n = 100 \mu\text{A}/\text{V}^2, V_{TN} = 0.5 \text{ V}, V_{DD} = 2.5 \text{ V}, \left(\frac{W}{L}\right) = 2$$



۴- یک زنجیره از وارونگرها جهت تحریک یک بار خازنی با ابعاد ۵ پیکوفاراد را طراحی نمایید. فرض کنید که خازن ورودی وارونگر مرجع برابر ۵ فمتوفاراد باشد و پارامترهای دیگر را به صورت زیر در نظر بگیرید:

$$K'_n = 40 \mu A/V^2, \quad K'_p = 100 \mu A/V^2, \quad V_{TN} = |V_{TP}| = 0.5 V, \quad V_{DD} = 2.5 V$$

۵- با استفاده از رسم گراف اوایلر مدار دوگان از روی گراف اوایلر شبکه پایین برق شبکه بالابر مدار زیر را رسم نمایید



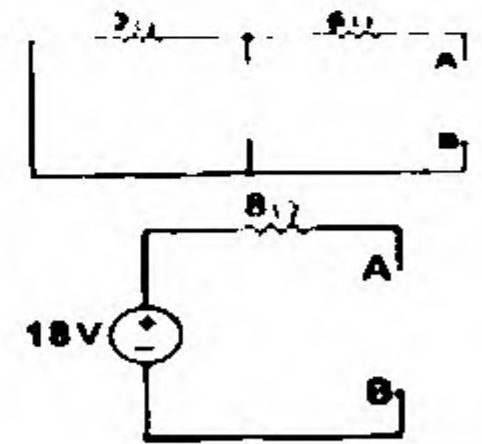
شماره سوال	پاسخ صحیح
1	ج
2	الف
3	ج
4	ج
5	الف
6	د
7	الف
8	الف
9	الف
10	ب
11	د
12	ج
13	ب
14	د
15	الف
16	الف
17	د
18	ب
19	ب
20	ب

سوالات تشریحی

۱- جواب : کتاب مدارهای الکتریکی فصل اول صفحه ۳۳

$$R_{th} = 2 + 6 = 8\Omega \quad (0/25) ,$$

$$kcl) \frac{v - 12}{2} = 3 \Rightarrow v_{th} = 18\text{ v}$$



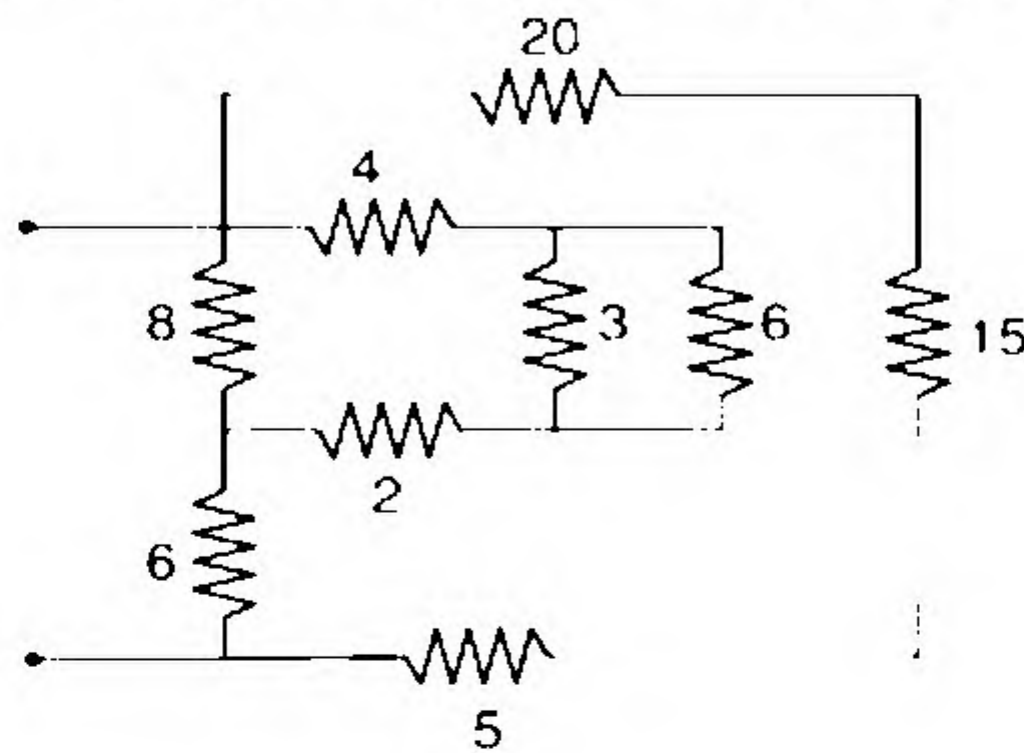
۲- حل: صفحه ۷۲ فصل دوم

۳- حل : مثال ۳-۱ کتاب فصل ۳ صفحه ۱۰۰

۴- حل : مثال ۴-۴ فصل ۴ صفحه ۱۸۷

۵- حل صفحه ۲۲۵ فصل پنجم

۱- در مدار شکل زیر مقدار مقاومت معادل چند اهم است. (کلیه مقاومت ها بر حسب اهم می باشند)



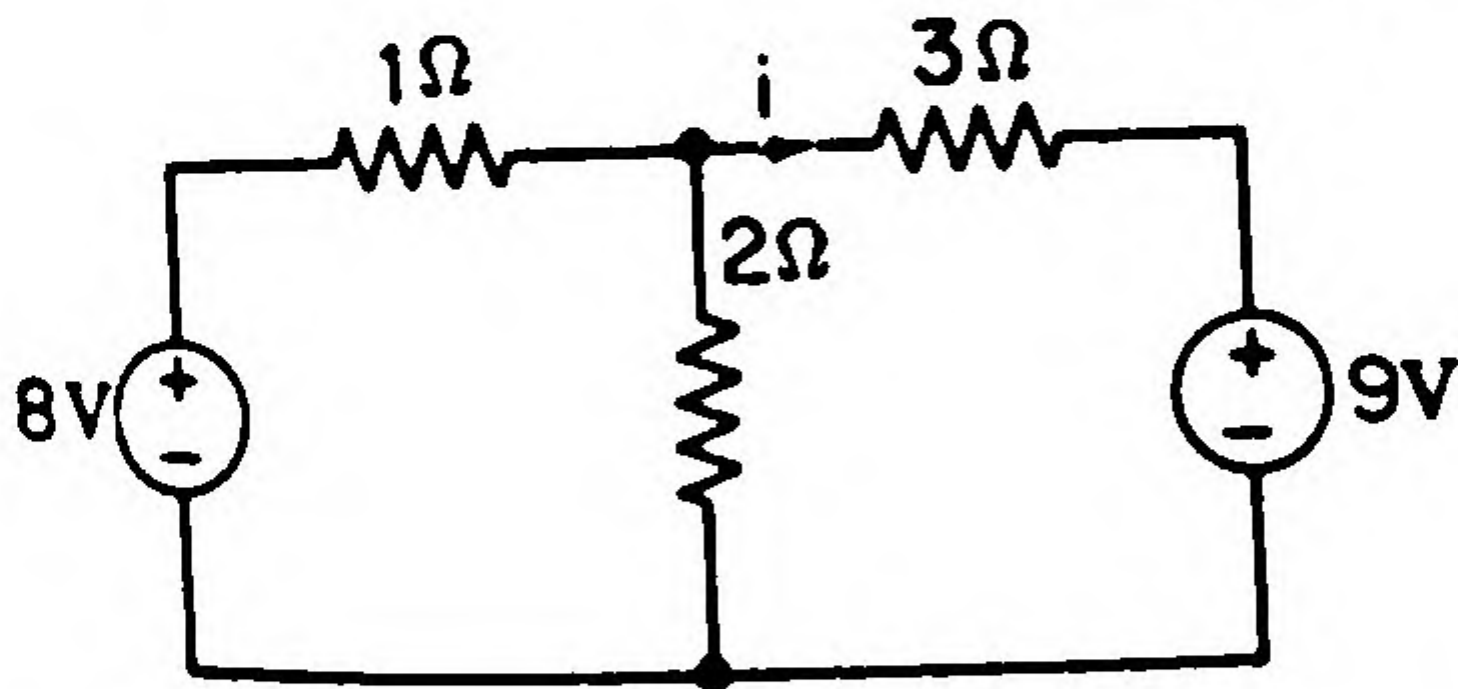
۱۰ . ۴

۸ . ۳

۵۰ . ۲

۴۰ . ۱

۲- در مدار زیر جریان مقاومت ۳ اهمی چقدر است؟



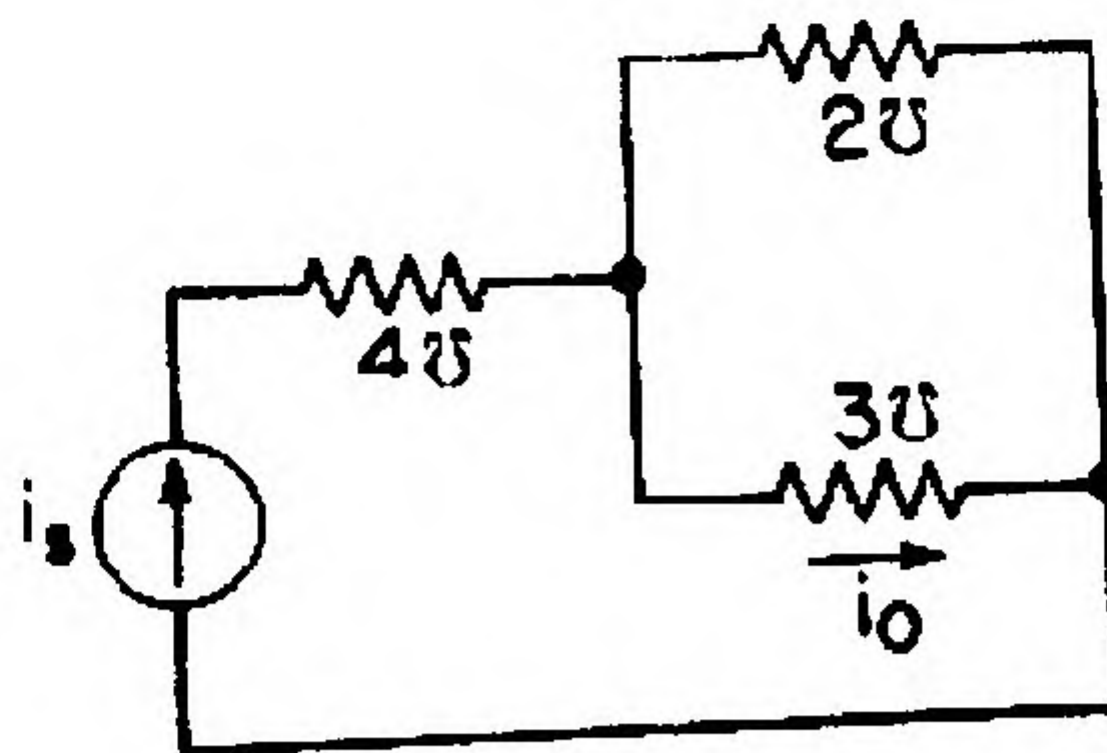
-۲ . ۴

۳ . ۳

۲ . ۲

-۱ . ۱

۳- در مدار زیر اگر $i = 3V$ باشد مقدار i_0 چقدر است؟



۵/۹ . ۴

۲ . ۳

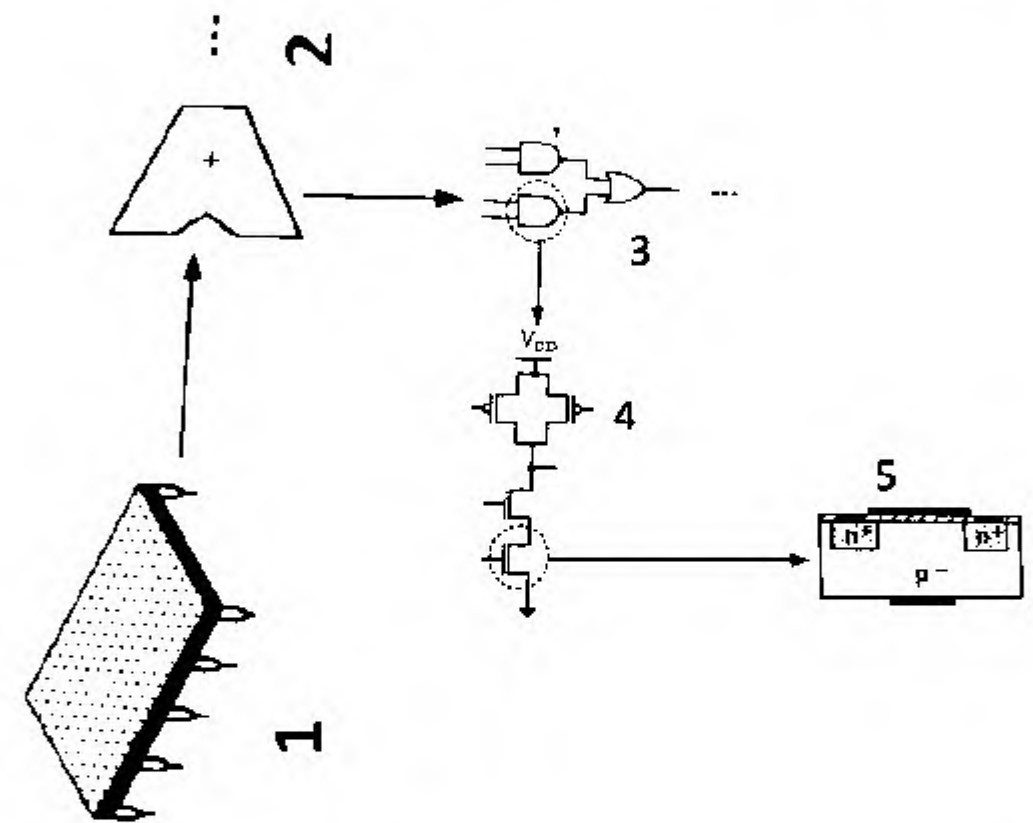
۳ . ۲

۹/۵ . ۱

۴- کدام گزینه بیانگر قانون kvl می باشد؟

۱. جمع جبری جریان الکتریکی تمام شاخه های متصل شده به هر گره در هر لحظه از زمان برابر صفر است.
۲. مجموع جریان های وارد شده به یک گره با مجموع جریانهای خارج شونده از گره برابر است
۳. جمع جبری ولتاژهای تمام شاخه های هر حلقه در هر لحظه از زمان برابر صفر است .
۴. جمع جبری ولتاژ تمام شاخه های مدار در هر لحظه از زمان برابر با صفر است.

۵- اگر سطوح سلسله مراتبی طراحی مدارات دیجیتال را با شکل زیر نمایش دهیم قسمت ۳ کدام سطح خواهد بود؟



۱. پیمانه
۲. سیستم
۳. گیت
۴. مدار

۶- کدام جمله صحیح نمیباشد.

۱. قیمت ثابت به میزان فروش یا تعداد محصولات فروخته شده وابسته است.
۲. قیمت کل هر محصول را به دو بخش هزینه ی متغیر و هزینه ثابت تقسیم بندی میکنند.
۳. قیمت متغیر متناسب با حجم تولید میباشد.
۴. هزینه هر تراشه برابر است با هزینه متغیر به ازای هر تراشه بعلاوه هزینه ثابت تقسیم بر تعداد تراشه ها

۷- حاشیه نویز بالا و پایین با مقادیر $V_{OL}=1, V_{OH}=7, V_{IL}=2, V_{IH}=4$ چقدر است؟

۱. $NM_L = 3, NM_H = 1$
۲. $NM_L = 1, NM_H = 3$
۳. $NM_L = 1, NM_H = 5$
۴. $NM_L = 3, NM_H = 2$

۸- در مورد VTC یک وارونگر ایده آل کدام گزینه نادرست است؟

۱. خروجی نوسان منطقی کامل دارد.

۲. ولتاژ آستانه گیت دقیقا در وسط نوسان منطقی قرار دارد.

۳. در ناحیه گذار داری بهره یک است.

۴. حاشیه نویز بالا و پایین برابر بوده و مساوی نصف نویان منطقی است.

۹- کدام یک شرط ناحیه اشباع در NMOS می باشد؟

۱. $V_{ds} > V_{gs} + V_t$ ۲. $V_{gs} > V_t$ ۳. $V_{gs} < V_t$ ۴. $V_{ds} > V_{gs} - V_t$

۱۰- ولتاژ آستانه یک Pmos برابر $-0.5V$ است. در حالیکه ضریب اثر بدنه برابر -0.4 است، ولتاژ آستانه را برای

$$V_{SB} = -2.5V \text{ و } \gamma = 0.4V^0, \phi_F = -0.6V \text{ حساب کنید؟}$$

۱. $-0.8V$ ۲. $-0.88V$ ۳. $-0.78V$ ۴. $-0.81V$

۱۱- در ناحیه اشباع مقدار خازن گیت به بدنه یعنی C_{GCB} چقدر است؟

۱. 0 ۲. $\frac{2}{3}CO \times WL$ ۳. $\frac{WL}{2} \times CO$ ۴. 1

۱۲- کدام گزینه در مورد ترانزیستور NMOS درست نیست؟

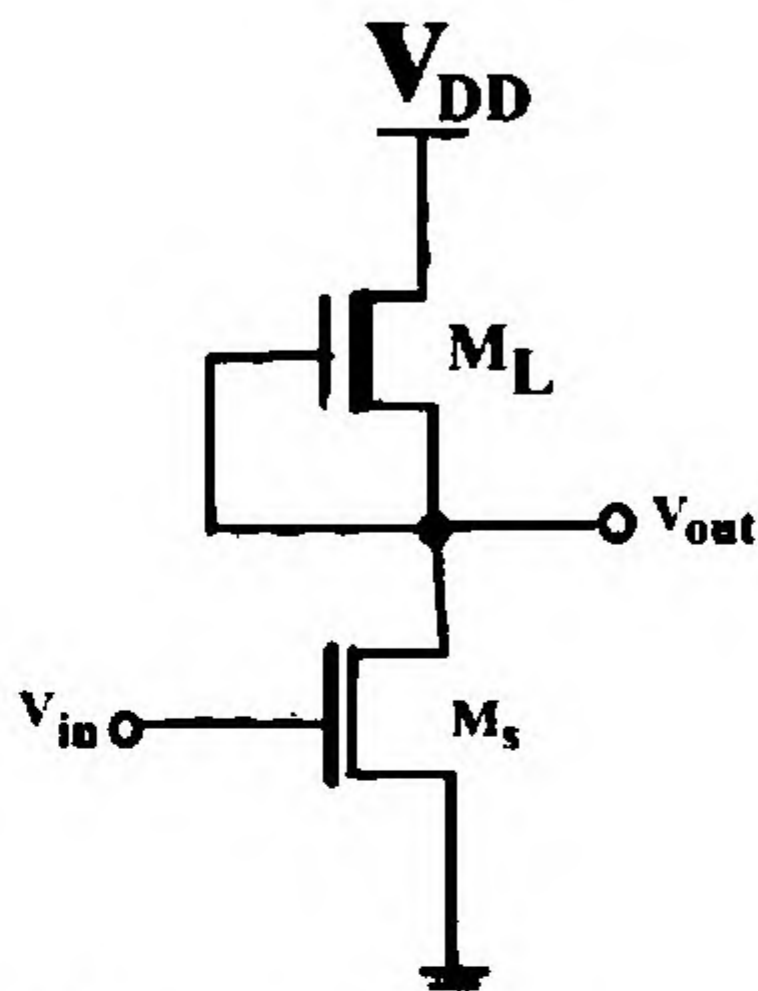
۱. وقتی V_{DS} خیلی کم باشد ترانزیستور وارد ناحیه تریود عمیق میشود.

۲. مقاومت ترانزیستور در ناحیه تریود عمیق با مقدار W/L نسبت مستقیم دارد

۳. در ناحیه تریود عمیق ترانزیستور مانند یک مقاومت است که مقدار آن توسط V_{GS} کنترل میشود.

۴. در ناحیه تریود عمیق
$$\gamma_{ds} = \frac{1}{K_n (V_{GS} - V_t)}$$

۱۳- مدار زیر چیست؟



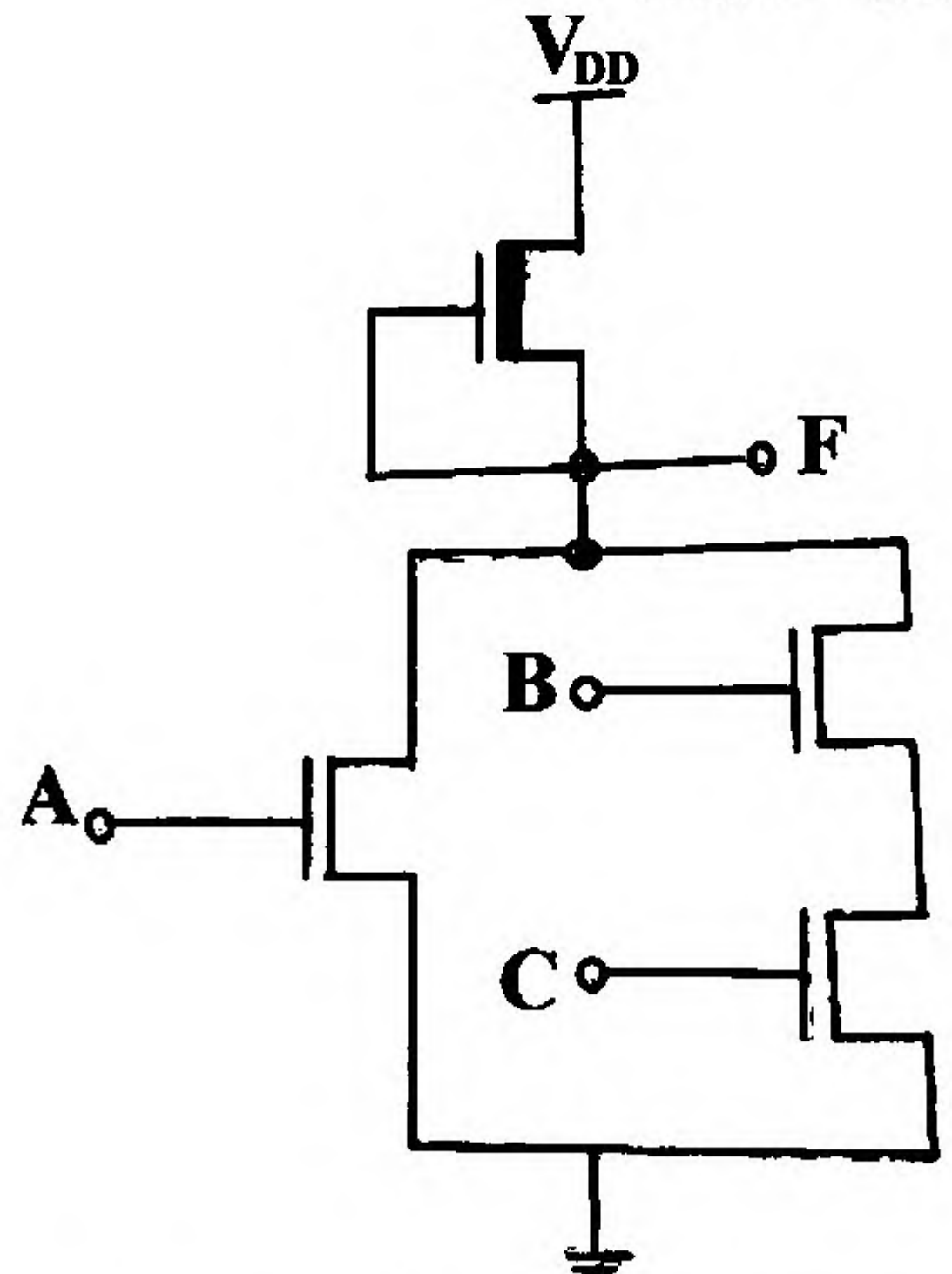
۱. وارونگر NMOS با بار کاهشی

۲. وارونگر NMOS با بار افزایشی

۳. وارونگر PMOS با بار کاهشی

۴. وارونگر PMOS با بار افزایشی

۱۴- خروجی مدار زیر چیست؟



۱. $F = \overline{(A + BC)}$

۲. $F = (A + \overline{BC})$

۳. $F = (\overline{A} + BC)$

۴. $F = A + BC$

F \ AB		CD			
		00	01	11	10
CD	00	1	1	0	1
	01	0	0	0	1
	11	0	0	0	1
	10	1	1	0	1

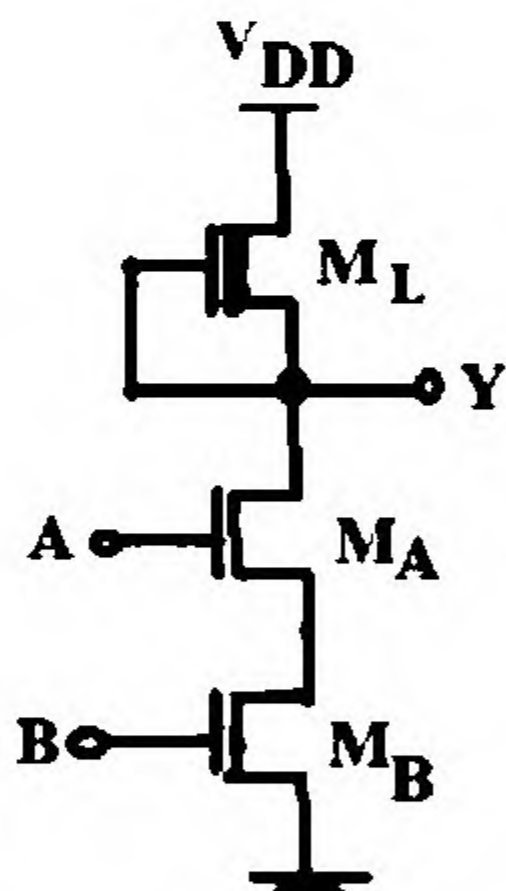
۴. گزینه ۱ و ۲

۳. $F = AB + A'D$

۲. $F = A'D' + AB'$

۱. $F = A'D' + AB'$

۱۶- خروجی مدار زیر چیست؟



۴. $F = \overline{A + B}$

۳. $F = A + B$

۲. $F = \overline{AB}$

۱. $F = AB$

۱۷- کدامیک از جملات زیر در مورد منطق CMOS درست است؟

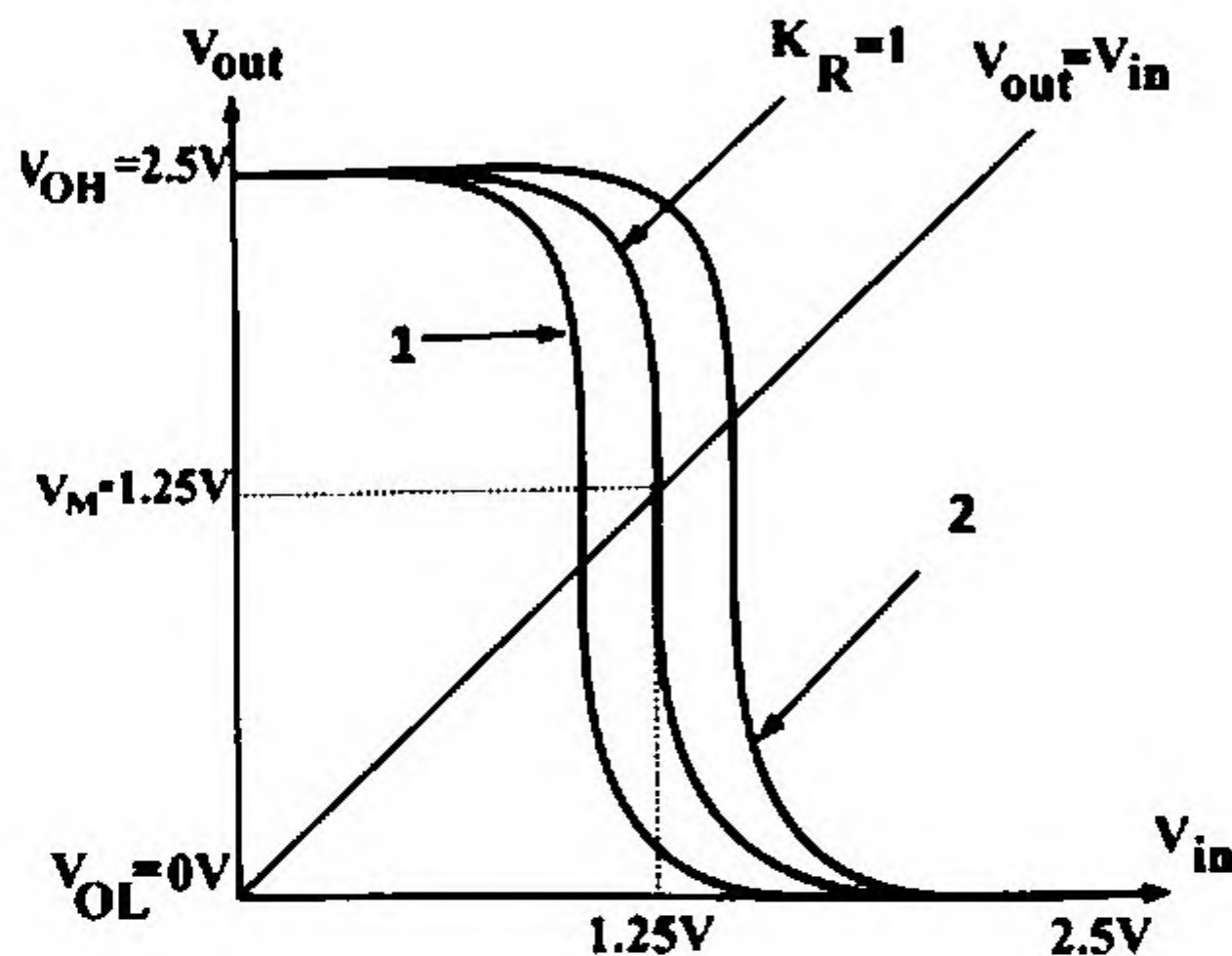
۱. در این منطق از PMOS و NMOS همراه با هم در طراحی مدار استفاده میشود.

۲. در وازونگر CMOS وقتی ورودی یک منطقی باشد خروجی دقیقا صفر خواهد شد.

۳. در وازونگر CMOS وقتی ورودی صفر منطقی باشد خروجی دقیقا برابر ولتاژ تغذیه VDD خواهد شد.

۴. همه موارد

۱۸- شکل زیر منحنی مشخصه یک وارونگر CMOS است که در آن $K_R = \frac{K_N}{K_P}$ میباشد. کدام گزینه میتواند به K_R در ناحیه ۲ تعلق داشته باشد؟



۴. $K_R = -0.5$

۳. $K_R = 0.5$

۲. $K_R = -1.5$

۱. $K_R = 1.5$

۱۹- کدامیک از جملات زیر در مورد وارونگر CMOS درست است؟

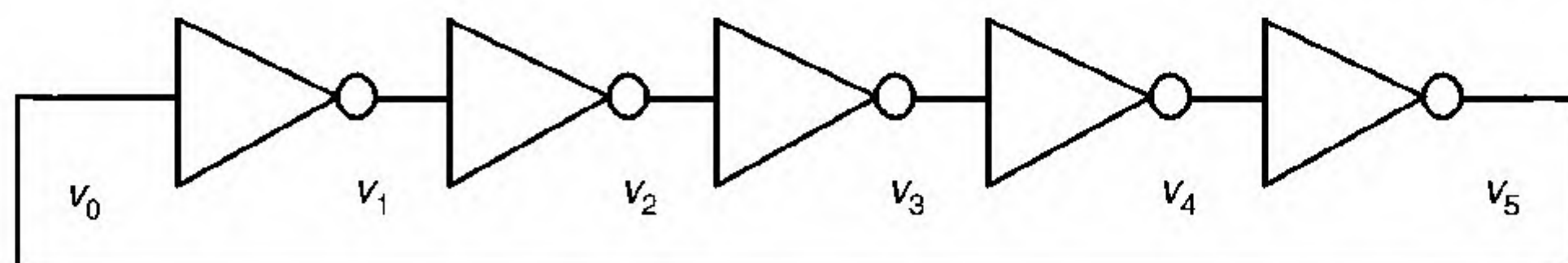
۱. ابعاد ترانزیستور PMOS آن دو ۲,۵ برابر ابعاد ترانزیستور NMOS است.

۲. اگر ابعاد ترانزیستورها ۲ برابر شود سرعت وارونگر نصف خواهد شد.

۳. اگر خازن خزرجی وارونگر یک چهارم شود سرعت وارونگر چهار برابر خواهد شد.

۴. همه موارد

۲۰- مدار شکل مقابل چیست؟



۱. وارونگر

۲. نوسانساز

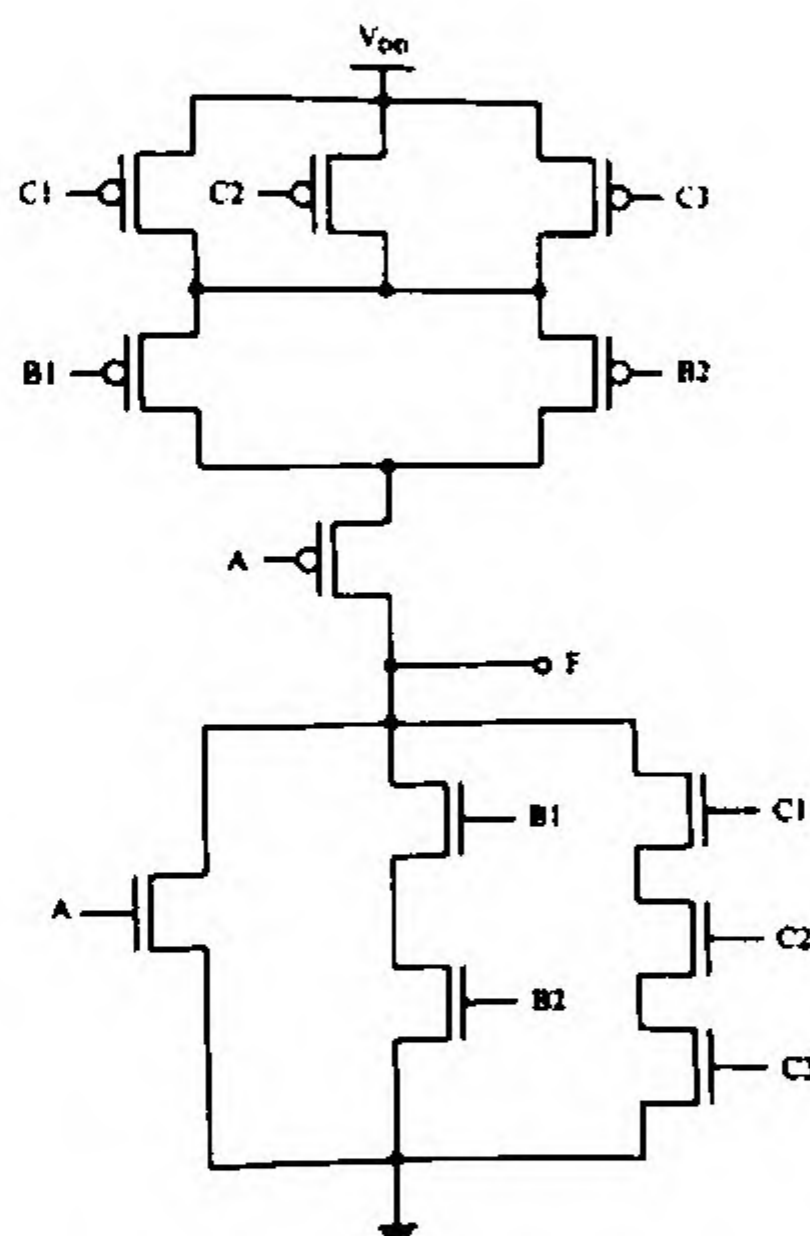
۳. تقویت کننده

۴. تقویت کننده ی وارونگر

۲۱- کدامیک از قوانین طراحی مدارات ترکیبی با استفاده از منطق CMOS استاندارد نمیباشد؟

۱. ترکیب سری دو ترانزیستور NMOS به شرطی هدایت خواهد کرد که هر دو ترانزیستور بصورت همزمان هدایت کنند.
۲. ترکیب سری دو ترانزیستور PMOS به شرطی هدایت خواهد کرد که هر دو ترانزیستور بصورت همزمان هدایت کنند.
۳. عملگر شیکه بالابر با دو ترانزیستور سری بصورت NOR خواهد بود.
۴. عملگر شیکه پایین بر با دو ترانزیستور سری بصورت AND خواهد بود.

۲۲- خروجی مدار زیر کدام است؟



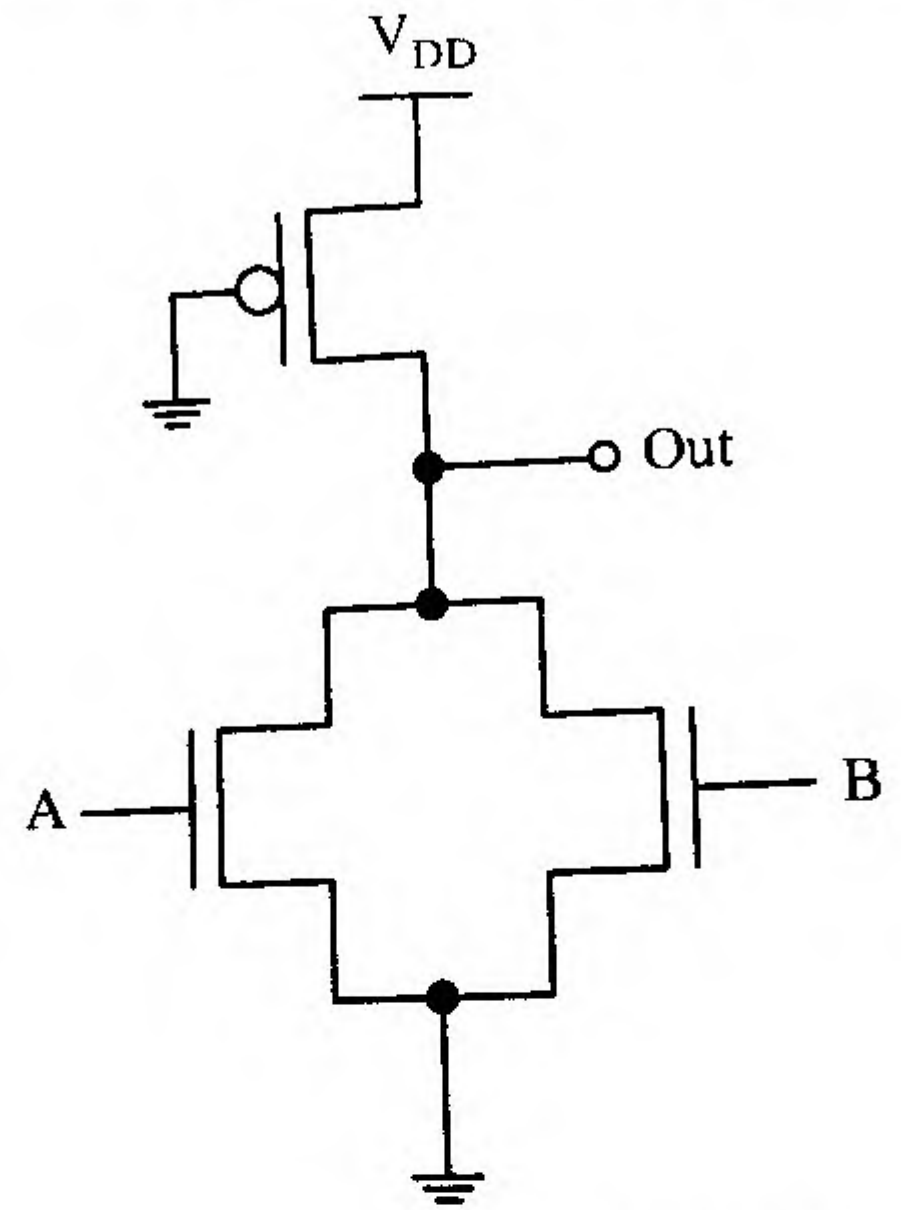
۲. $F = \overline{A + B_1 B_2 + C_1 C_2 C_3}$

۴. $F = A + B_1 B_2 + \overline{C_1 C_2 C_3}$

۱. $F = A + B_1 B_2 + C_1 C_2 C_3$

۳. $F = \overline{A + B_1 B_2 + C_1 C_2 C_3}$

۲۳- مدار زیر چیست و از کدام منطق استفاده کرده است؟



۱. NAND منطق نسبت

۲. NOR منطق نسبت

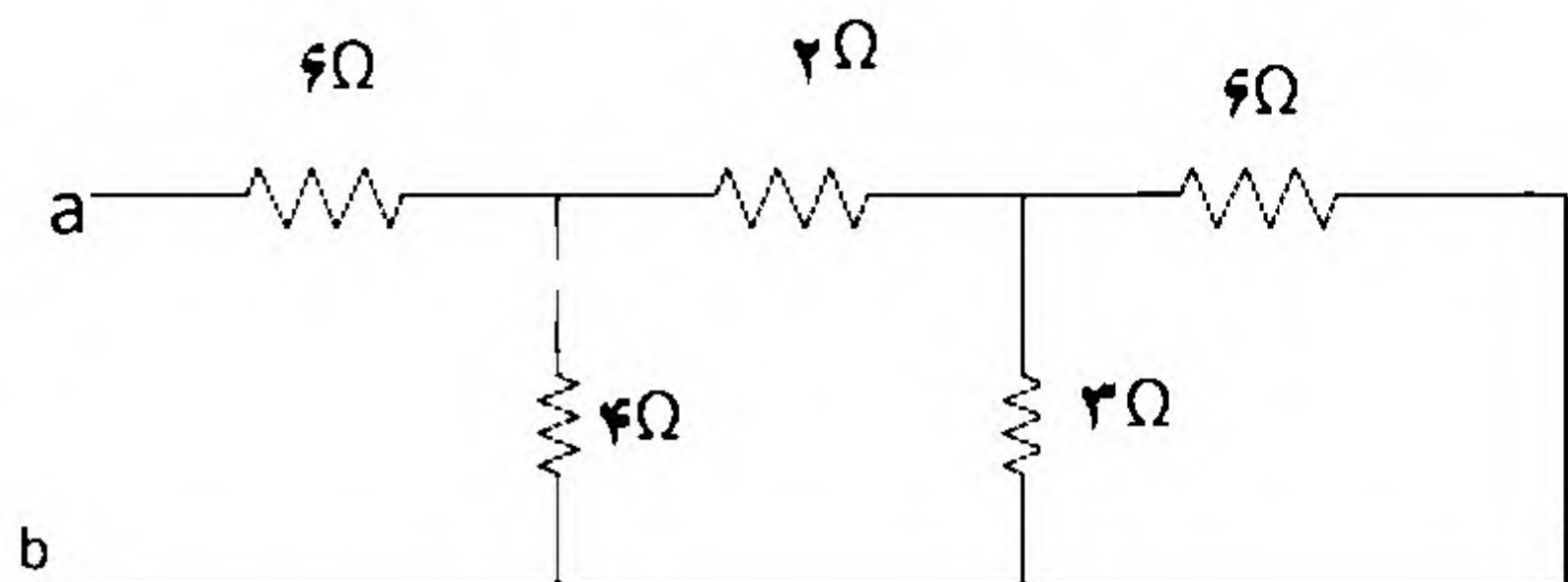
۳. NAND منطق شبه NMOS

۴. NOR منطق شبه NMOS

۲۴- کدامیک از توضیحات زیر مربوط به منطق SCL میباشد؟

۱. در این منطق بجای شبکه بالا بر یک مقاومت قرار میدهیم.
۲. در این منطق ورودی شبکه بالا بر به زمین وصل میشود.
۳. در این منطق ورودی ها به صورت زوج های تفاضلی مورد استفاده قرار می گیرند.
۴. در این منطق هم خود تابع و هم معکوس آن ساخته شده و با کمک درو ترانزیستور به منبع تغذیه متصل میشوند.

۲۵- مقاومت معادل مدارالکتریکی ارائه شده از محل a و b در شکل زیر بیابید.



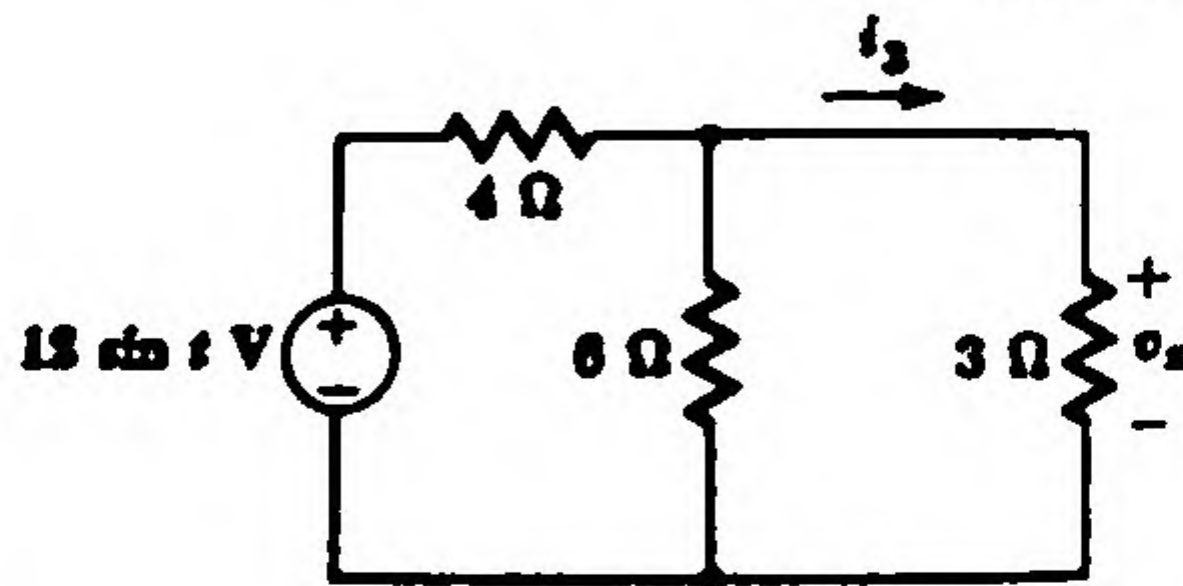
۱. ۱۲

۲. ۸

۳. ۱۴

۴. ۲۱

۱- در مدار زیر i_3 و V_x را حساب کنید.



۲- مقادیر جریانهای ورودی و خروجی را به صورت زیر در نظر گرفته و ظرفیت خروجی گیت را اندازه را محاسبه کنید.

$$I_{OUT}(LOW) = 5.5mA, L_{OUT}(High) = 8.4mA$$

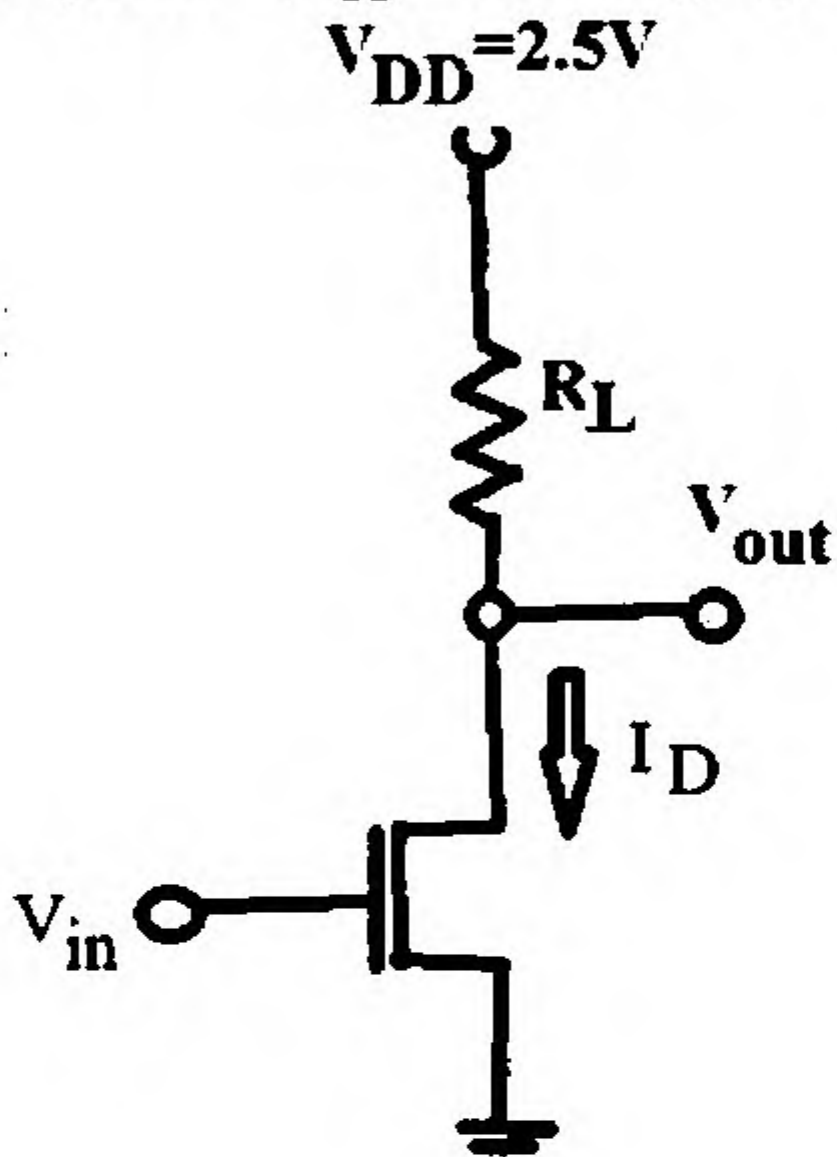
$$I_{IN}(LOW) = 0.42mA, L_{IN}(High) = 0.38mA$$

۳- برای یک ترانزیستور NMOS، اگر مقادیر ولتاژها به صورت $V_{GS} = 2.5V$ ، $V_{DS} = 0.4V$ باشند مقدار جریان درین به سورس را تعیین کنید.

$$\text{فرض کنید: } K = 115 \times 10^{-6} \frac{A}{V^2}$$

$$V_t = 0.5V, W = 0.5\mu m, l = 0.25\mu m$$

۴- در مدار وارونگر NMOS زیر داریم $V_{OL} = 0.12$ با فرض اینکه مصرف توان ایستا برای گیت وقتی ولتاژ خروجی در V_{OL} قرار دارد حداکثر برابر 125 میکرو وات باشد، مقدار مقاومت بار و نسبت W/L ترانزیستور را تعیین نموده و حاشیه های نویز را محاسبه کنید. پارامتر ها را به صورت زیر در نظر بگیرید: $V_{DD} = 2.5V$, $K'_n = 100 \mu A / V^2$, $V_{TH} = 0.5V$



۵- یک مدار CMOS استاندارد برای گیت XOR دو ورودی رسم نمایید. (برای رسم شبکه بالابر از روش گراف اویلری استفاده کنید)

شماره سوال	پاسخ صحيح
1	ج
2	الف
3	الف
4	ج
5	ج
6	الف
7	ب
8	ج
9	د
10	ب
11	الف
12	ب
13	الف
14	الف
15	د
16	د
17	د
18	ج
19	د
20	ب
21	د
22	ب
23	د
24	ج
25	ب

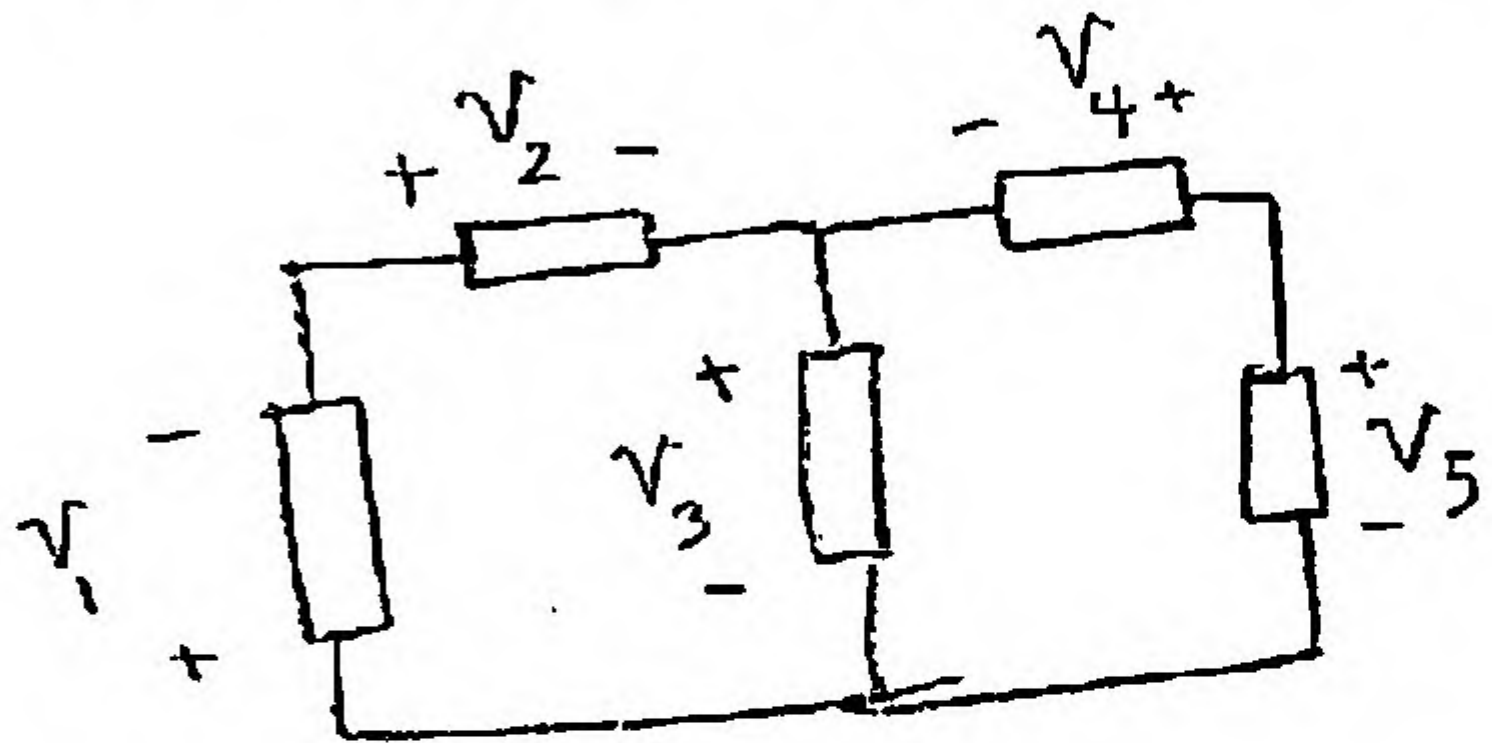
سوالات تشریحی

- ۱- منبع یک فصل ۲ صفحه ۴۳
- ۲- منبع دوم فصل ۱ صفحه ۲۱
- ۳- منبع دوم فصل ۲ صفحه ۶۲
- ۴- منبع دوم فصل ۳ صفحه ۱۰۶
- ۵- منبع دوم فصل ۵ صفحه ۲۳۰

۱- رابطه $\frac{dw(t)}{dq(t)}$ معرف کدام گزینه است؟

۱. انرژی الکتریکی ۲. جریان الکتریکی ۳. ولتاژ الکتریکی ۴. توان الکتریکی

۲- اگر بخواهیم KVL برای مسیر دارای عناصر با ولتاژهای v_1, v_2, v_3 بنویسیم. کدام گزینه درست است؟



۱. $v_1 - v_2 - v_3 = 0$ ۲. $v_1 + v_2 + v_3 = 0$ ۳. $-v_1 + v_2 - v_3 = 0$ ۴. $-v_1 - v_2 + v_3 = 0$

۳- به رابطه $\frac{1}{R}$ چه می گویند؟

۱. ولتاژ الکتریکی ۲. شار مغناطیسی ۳. مقاومت الکتریکی ۴. رسانایی

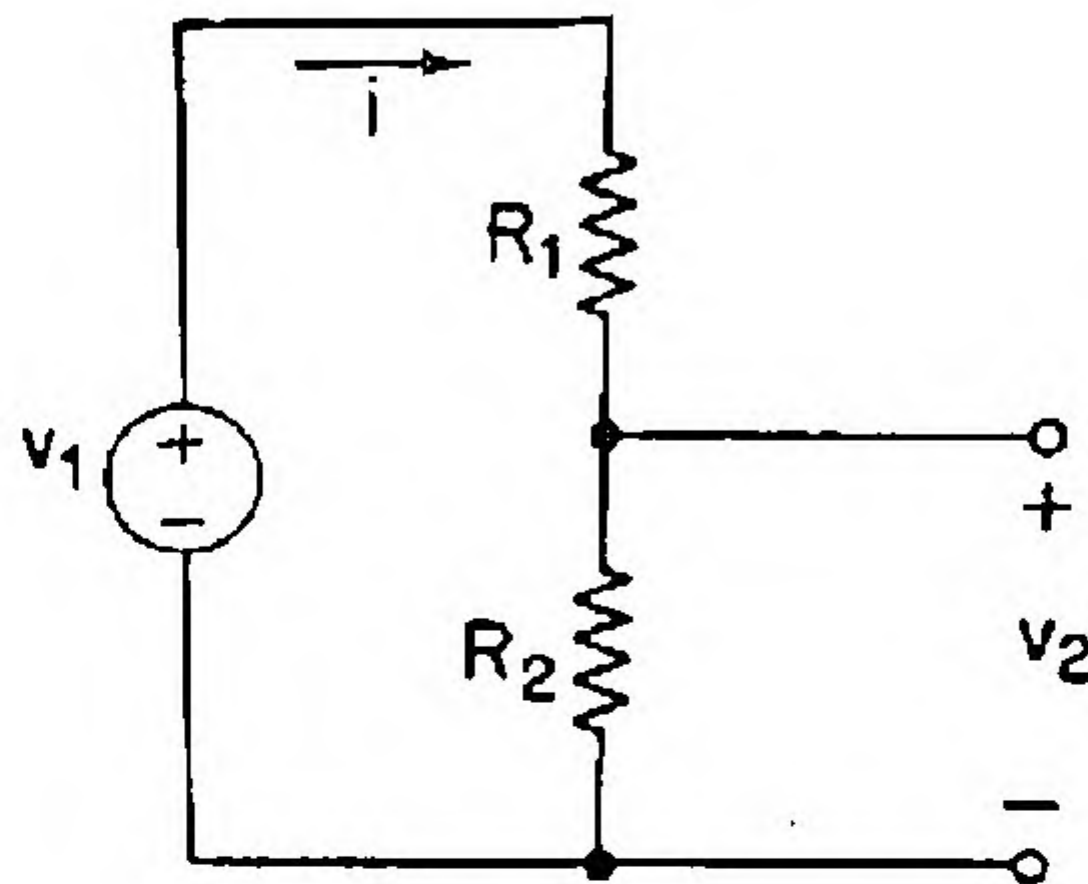
۴- برای یک عنصر "مدار اتصال کوتاه" ولتاژ دو سر آن چند است؟

۱. 0 ۲. بینهایت ۳. 1 ۴. متغیر است.

۵- در اتصال سری دو مقاومت R_1 و R_2 کدام گزینه برقرار است؟

۱. $R_{eq} = \frac{1}{R_1} + \frac{1}{R_2}$ ۲. $G_{eq} = G_1 + G_2$ ۳. $R_{eq} = G_{eq}$ ۴. $R_{eq} = R_1 + R_2$

۶- v_2 با کدام گزینه به دست می آید؟



۱. $v_2 = v_1$

۲. $v_2 = \frac{R_1}{R_2} v_1$

۳. $v_2 = \frac{R_2}{R_1 + R_2} v_1$

۴. $v_2 = \frac{R_1}{R_1} v_1$

۷- "حاشیه نویز بالا" از کدام گزینه محاسبه می شود؟

۱. $V_{IH} - V_{IL}$

۲. $V_{IL} - V_{OL}$

۳. $V_{OH} - V_{IH}$

۴. $V_{OH} - V_{OL}$

۸- اگر برای یک خروجی $V_{OH} = V_{DD}$ و $V_{OL} = 0$ باشد، در این صورت نوسان منطقی یا LS چند است؟

۱. -1

۲. 1

۳. 0

۴. V_{DD}

۹- ظرفیت خروجی گیت راه انداز در حالت بالا به چه صورت محاسبه می شود؟

۱. $\left[\frac{I_{OUT}(High)}{I_{IN}(High)} \right]$

۲. $I_{OUT}(High)$

۳. $\left[\frac{I_{OUT}(High)}{I_{OUT}(Low)} \right]$

۴. $I_{IN}(Low)$

۱۰- جای خالی الکترون در اتم را چه می گویند؟

۱. تاخیر انتشار

۲. حفره

۳. حاشیه نویز

۴. الکترون آزاد

۱۱- به ناخالصی های 5 ظرفیتی، چه می گویند؟

۱. نیمه هادی نوع P

۲. ناخالصی نوع P

۳. ناخالصی بخشنده

۴. نیمه هادی نوع N

۱۲- یک پیوند PN، نام دیگر کدام گزینه است؟

۱. دیود

۲. ترانزیستور

۳. نیمه هادی نوع P

۴. نیمه هادی نوع N

۱۳- ولتاژ حرارتی (V_T) از کدام رابطه بدست می آید؟

۴. $\frac{KT}{q}$

۳. $\frac{1}{q}$

۲. KT

۱. $\frac{K}{q}$

۱۴- برای یک ترانزیستور NMOS، خازن واحد سطح اکسید گیت ترانزیستور را بدست آورید. (ولتاژ همه پایانه ها صفر)

$\epsilon_{ox} = 3.5 \times 10^{-11} F/m$

$t_{ox} = 6nm$

$W = 0.36\mu m$

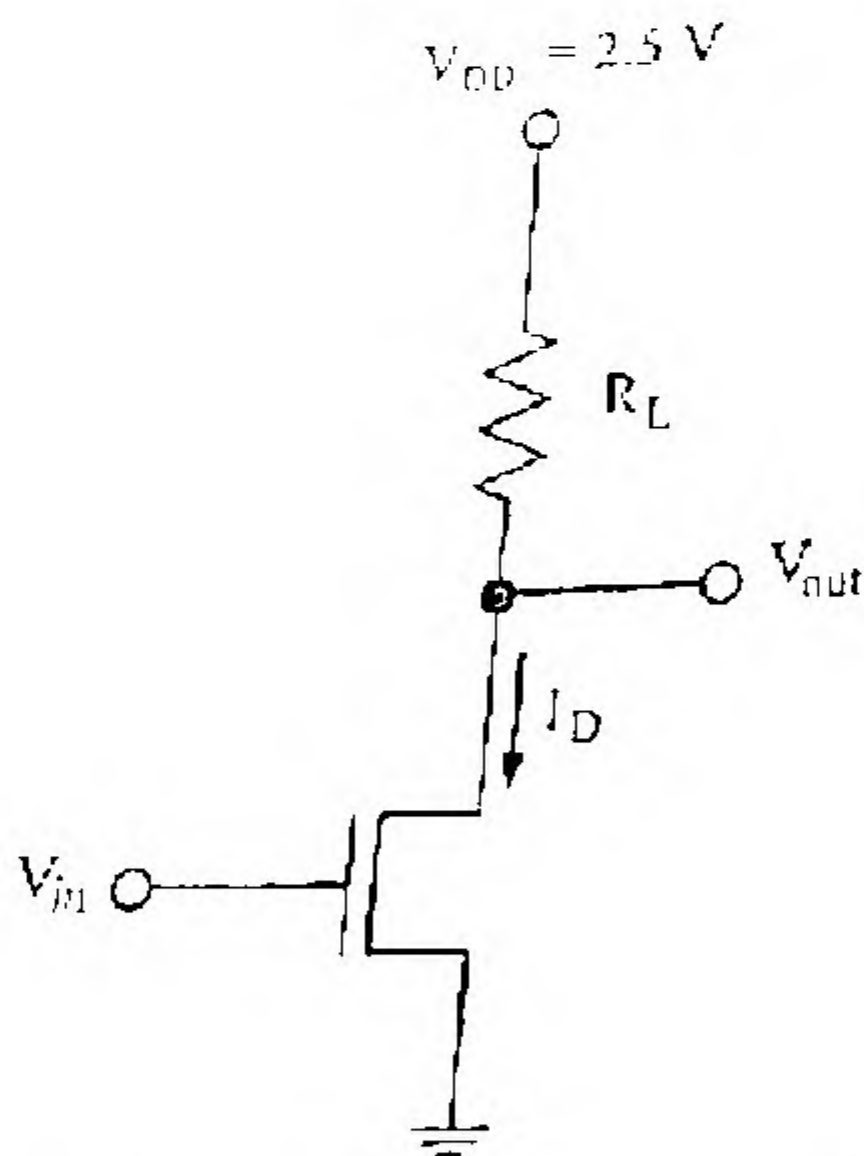
۴. $2.75 F/m$

۳. $5.8 fF/\mu m^2$

۲. $3 F/m$

۱. $2 F/m^2$

۱۵- شکل زیر، کدام مدار را نشان می دهد؟



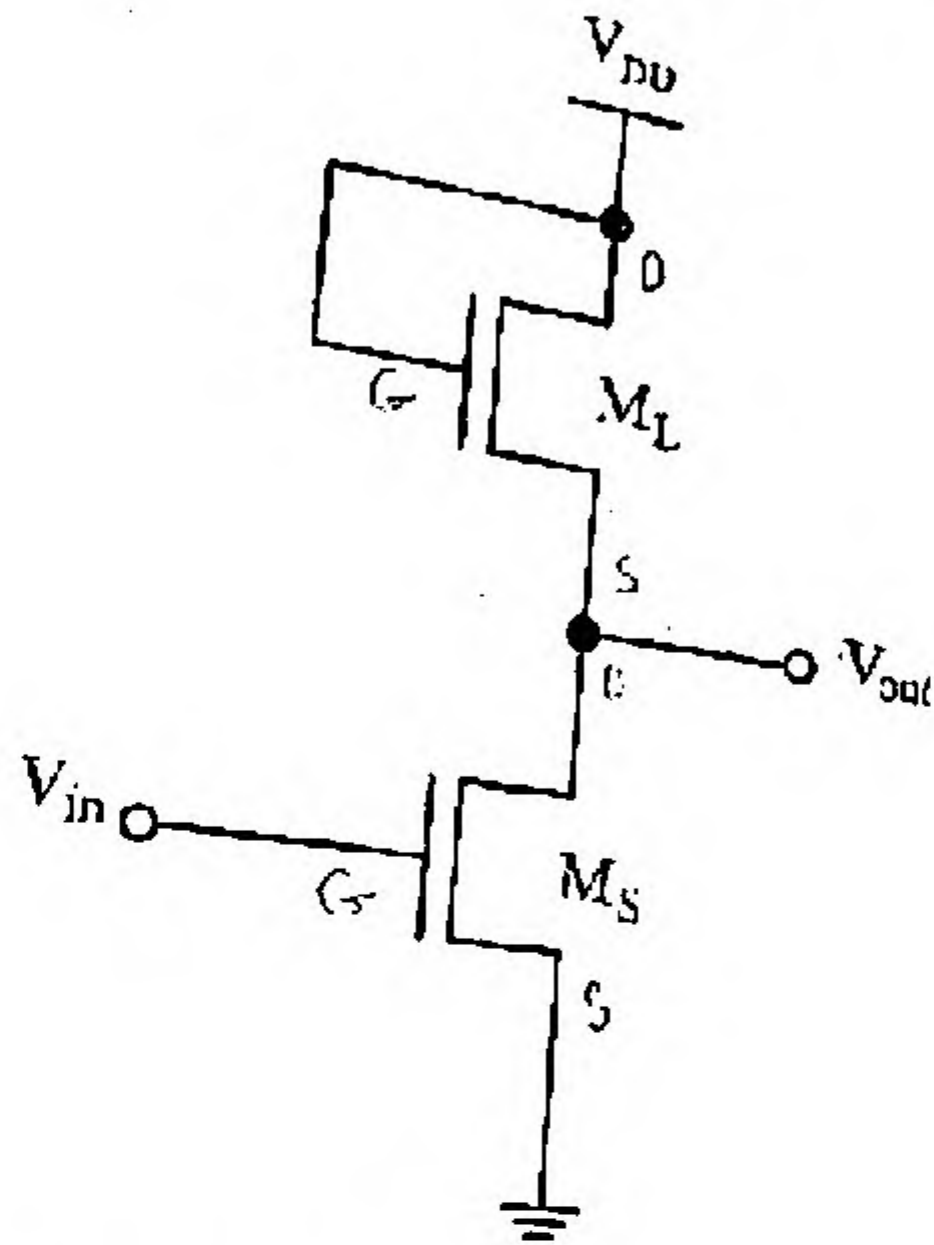
۲. وارونگر NMOS با بار مقاومتی

۴. وارونگر NMOS با بار کاهشی

۱. وارونگر NMOS با بار افزایشی

۳. وارونگر PMOS با بار افزایشی

۱۶- مدار رسم شده در شکل زیر، کدام مدار را نشان می دهد؟



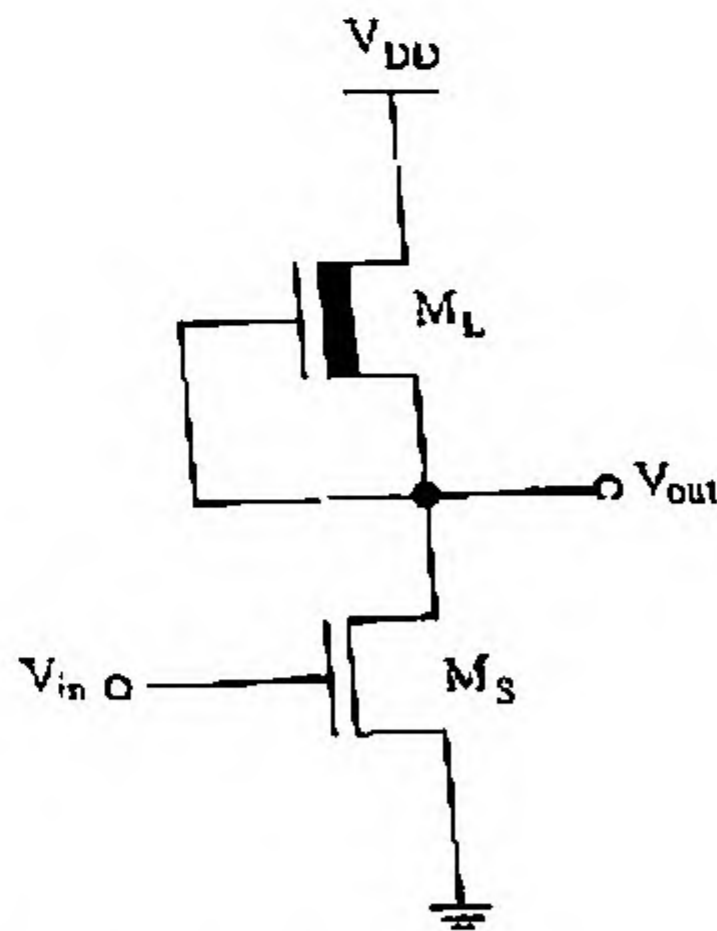
۱. وارونگر NMOS با بار مقاومتی

۲. وارونگر NMOS با بار کاهشی

۳. وارونگر PMOS با بار مقاومتی

۴. وارونگر NMOS با بار افزایشی

۱۷- کدام گزینه، معرف مدار شکل زیر است؟



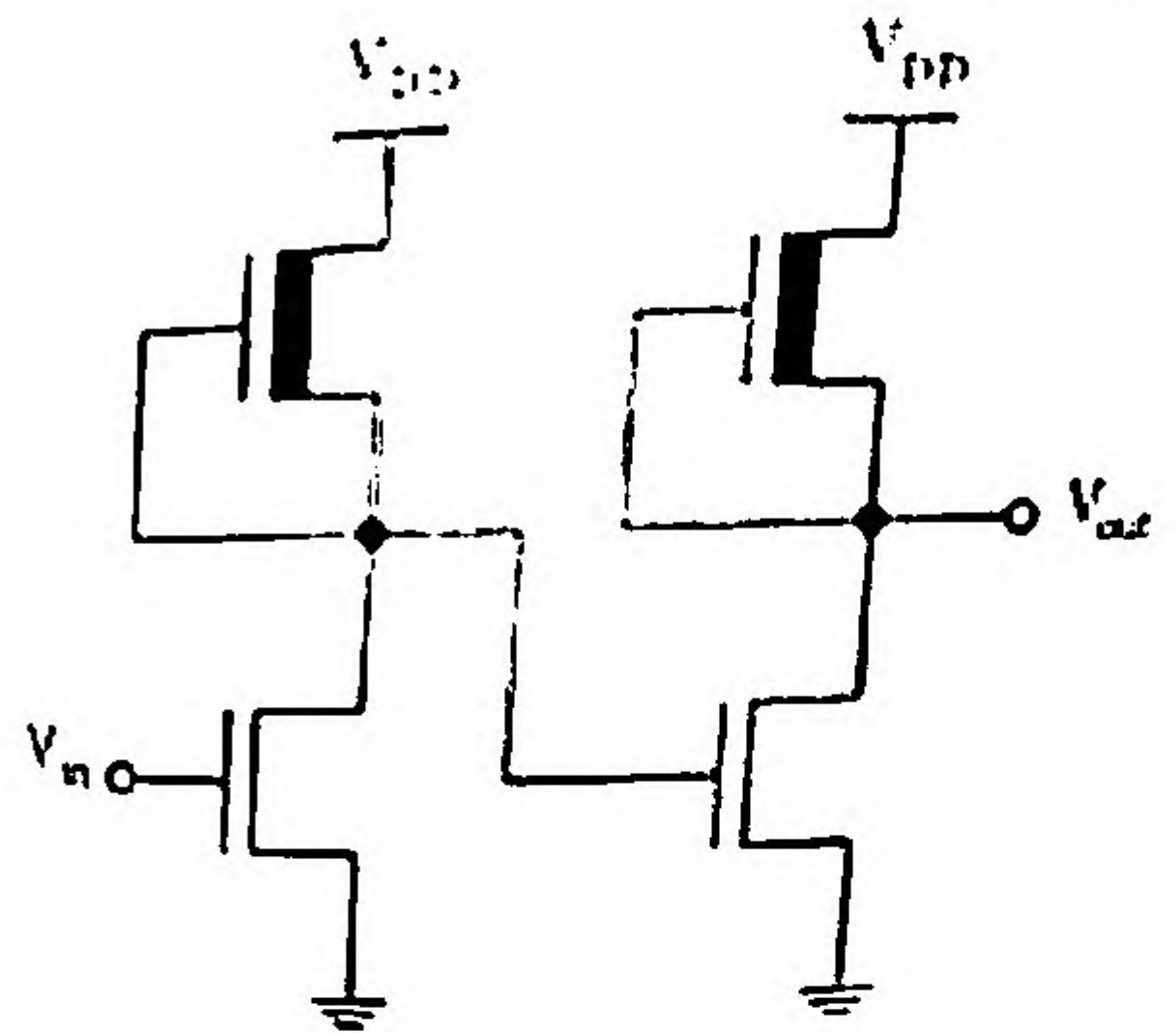
۱. وارونگر NMOS با بار کاهشی

۲. وارونگر NMOS با بار مقاومتی

۳. وارونگر NMOS با بار افزایشی

۴. وارونگر PMOS با بار افزایشی

۱۸- نام مدار زیر چیست؟



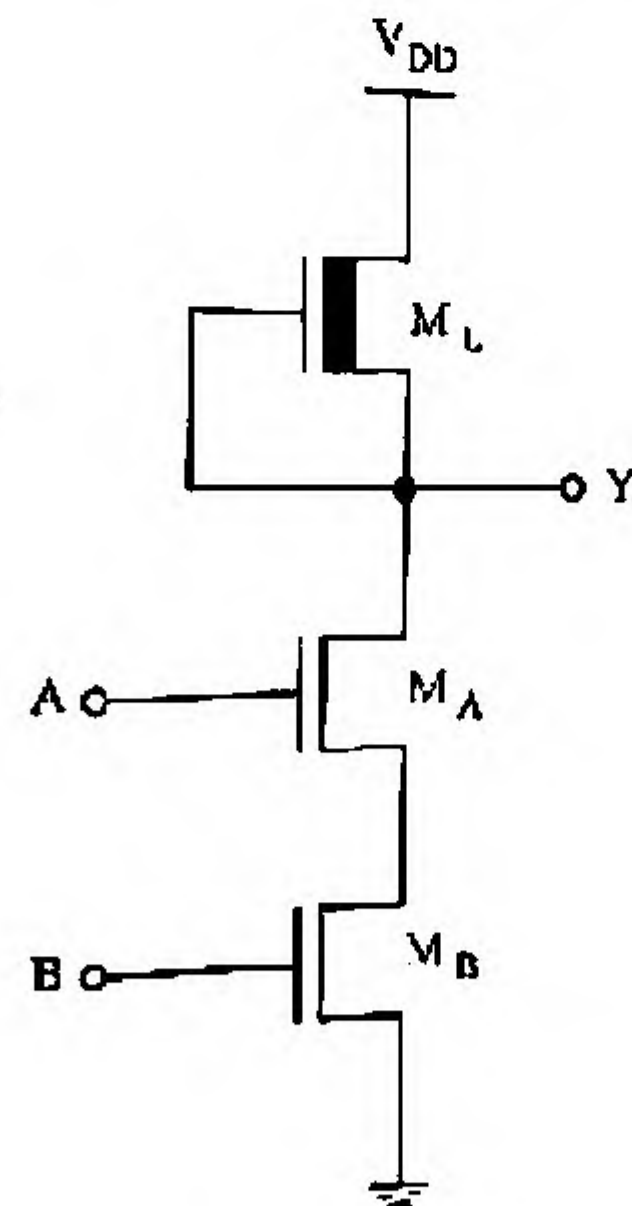
۱. مدار بافر

۲. مدار وارونگر

۳. مدار گیت NOR

۴. مدار گیت NAND

۱۹- معادله خروجی مدار زیر کدام است؟



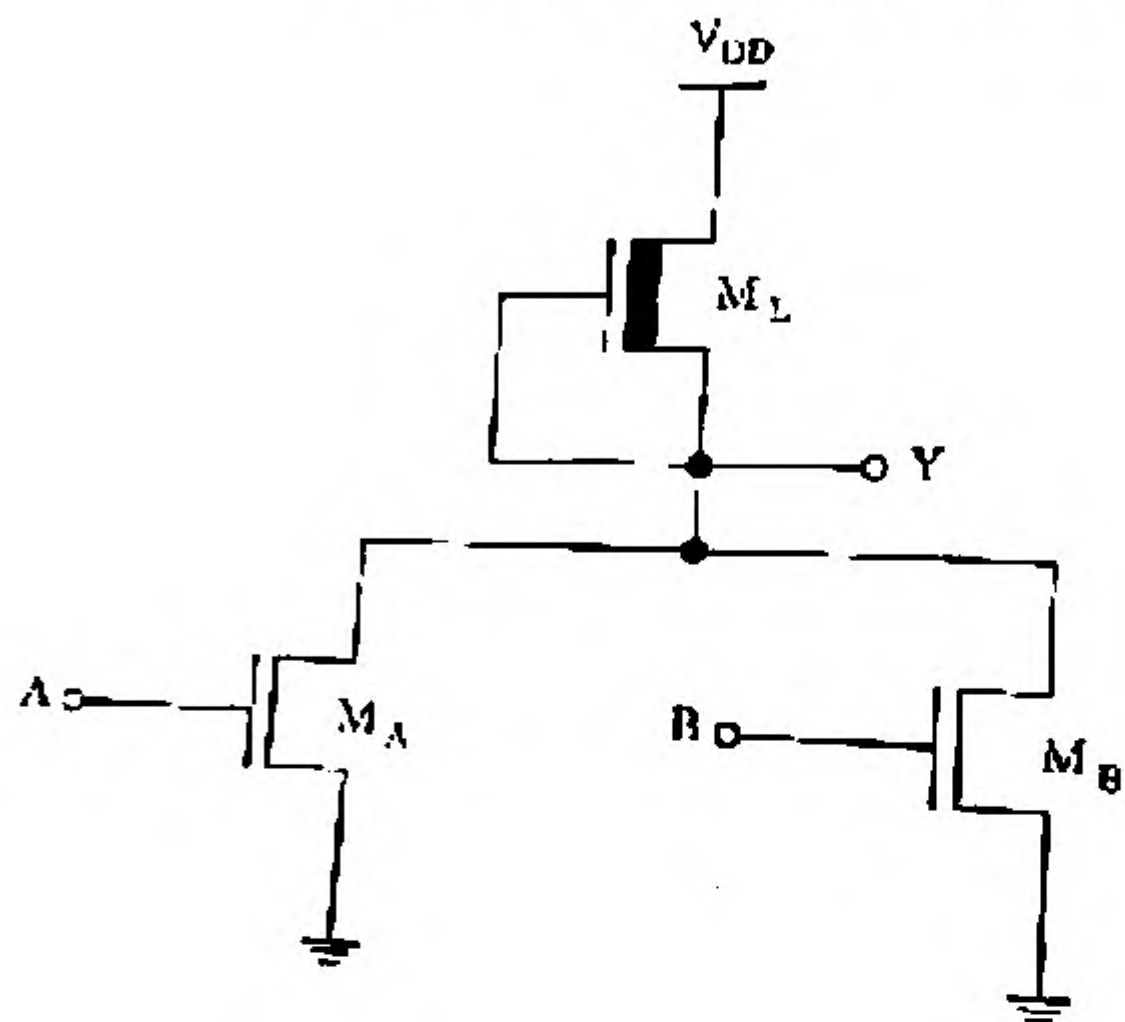
۱. $Y = AB$

۲. $Y = \overline{AB}$

۳. $Y = A + B$

۴. $Y = \overline{A + B}$

۲۰- معادله خروجی مدار زیر به چه صورت است؟



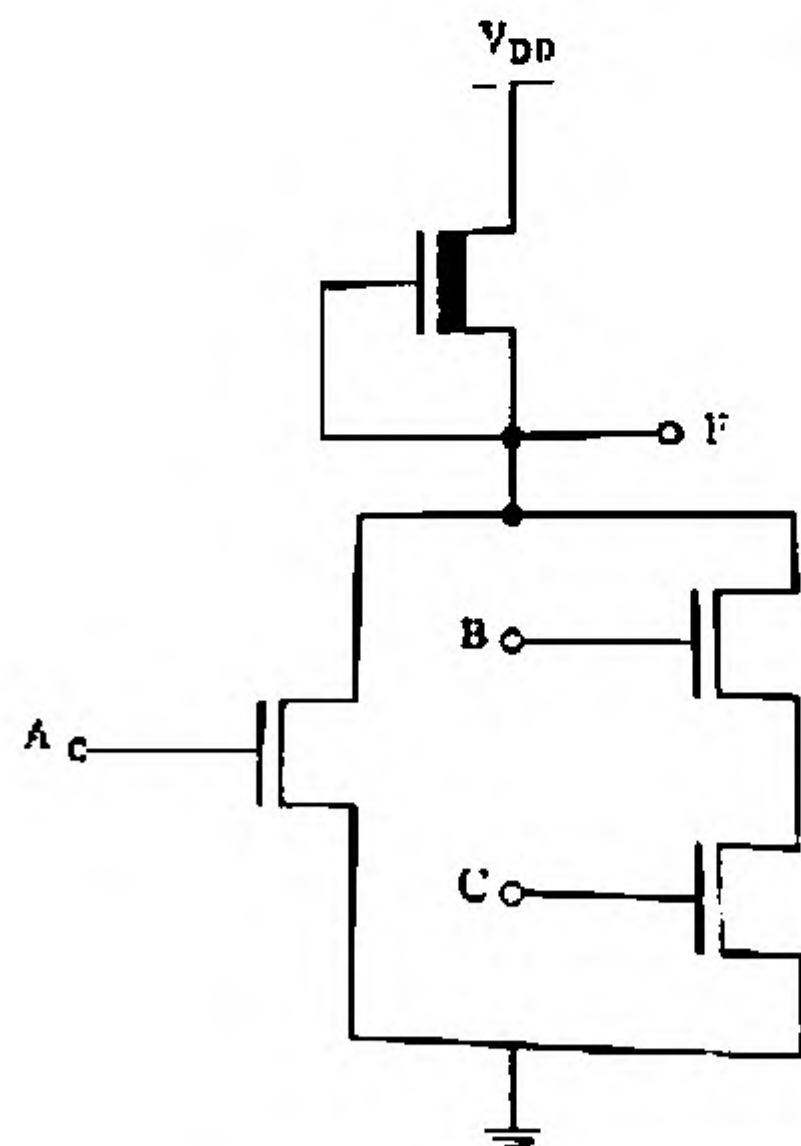
۱. $Y = AB$

۲. $Y = A + B$

۳. $Y = \overline{A + B}$

۴. $Y = \overline{AB}$

۲۱- تابع F با کدام گزینه برابر است؟



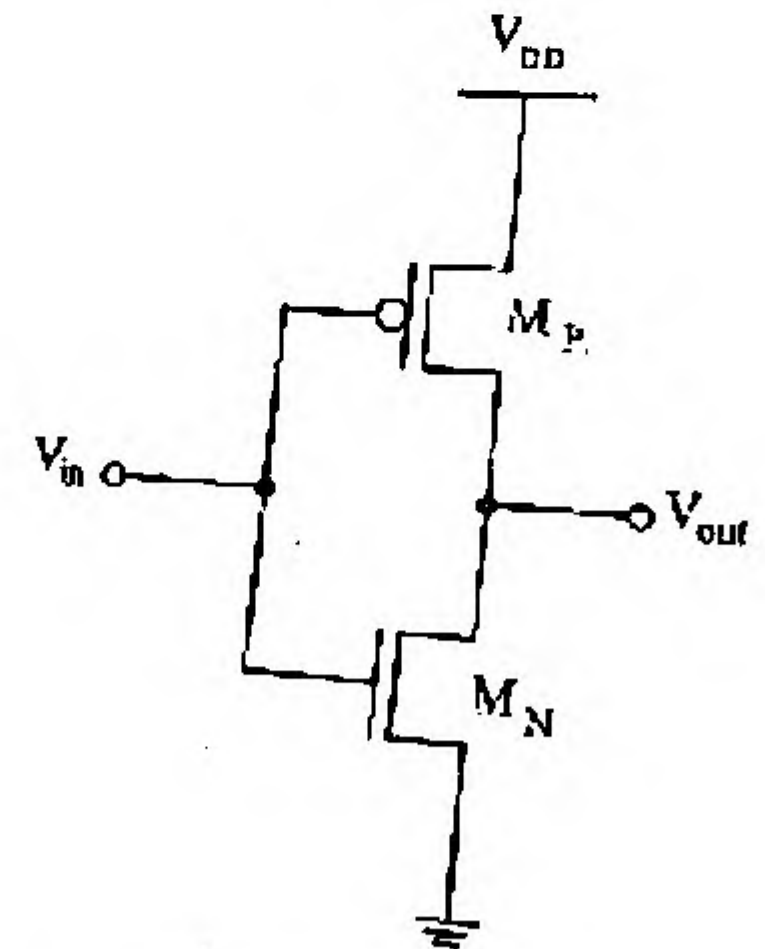
۱. $\overline{(A + BC)}$

۲. ABC

۳. $A + B + C$

۴. $\overline{A + B + C}$

۲۲- نام مدار زیر چیست؟



۱. NOR

۲. وارونگر CMOS

۳. NAND

۴. بافر

۲۳- کدام گزینه معرف PDP است؟

۱. تاخیر انتشار

۲. توان پویا

۳. توان ایستا

۴. حاصل ضرب توان-تاخیر

۲۴- در مدارهای CMOS مصرف توان شامل کدام مؤلفه ها می باشد؟

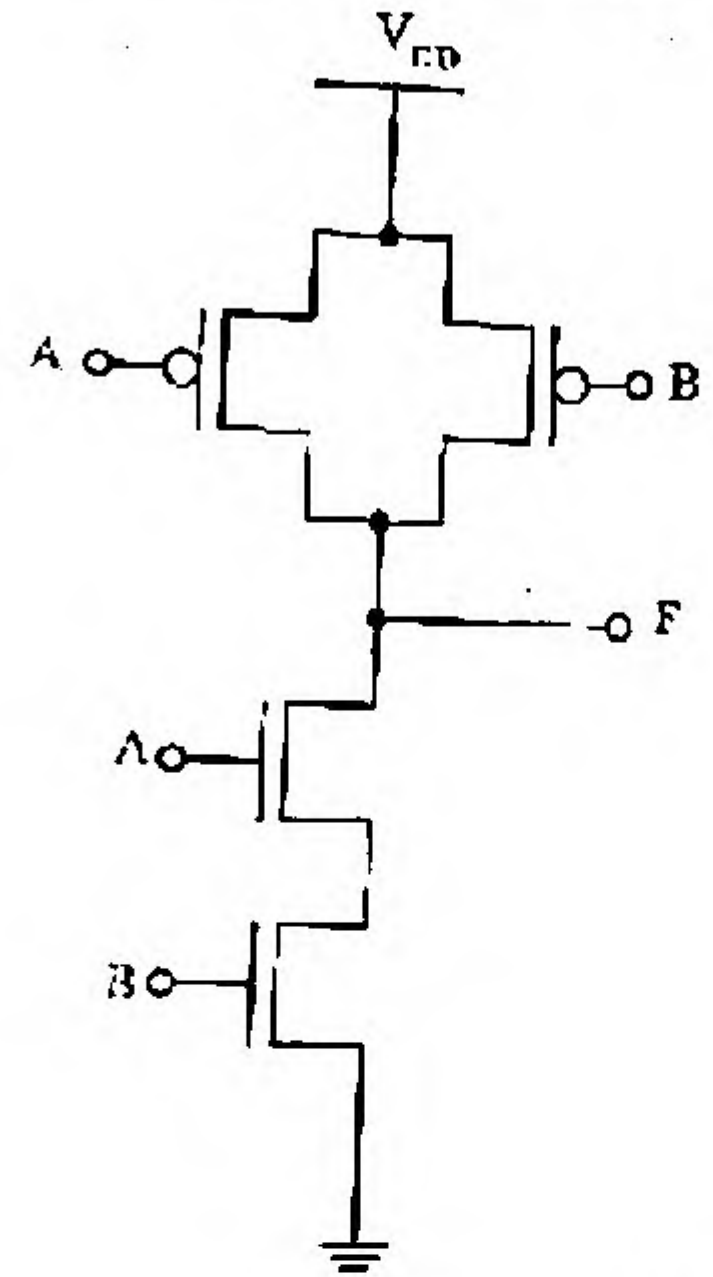
۱. ایستا و پویا

۲. ایستا و اتصال کوتاه

۳. اتصال کوتاه و پویا

۴. ایستا، پویا و اتصال کوتاه

۲۵- مدار زیر، کدام گیت است؟ (در CMOS استاندارد)



۱. گیت NOR

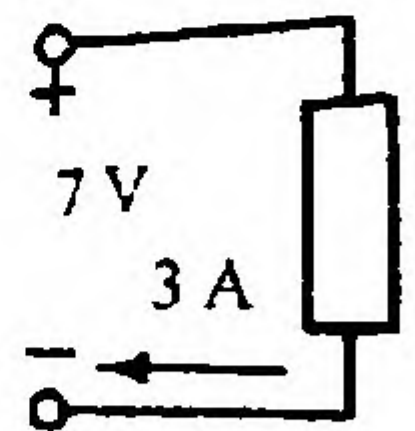
۳. گیت NAND دو ورودی

۲. بافر

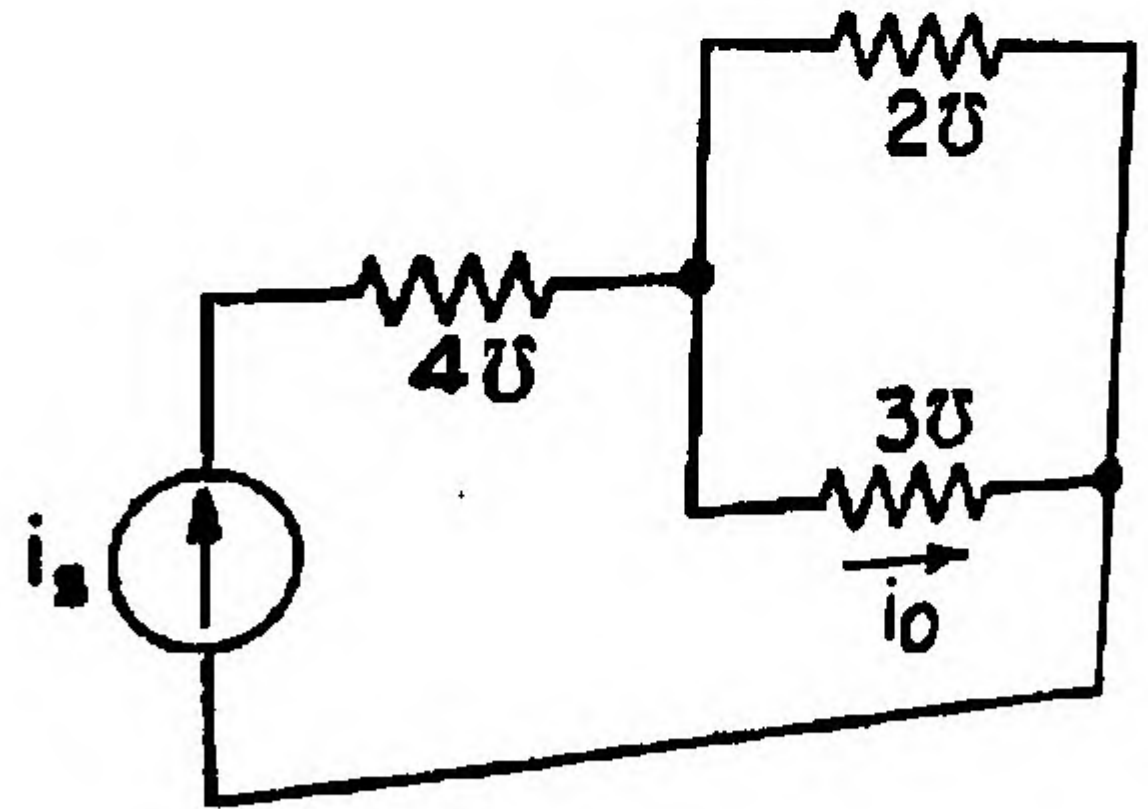
۴. وارونگر با بار مقاومتی

سوالات تشریحی

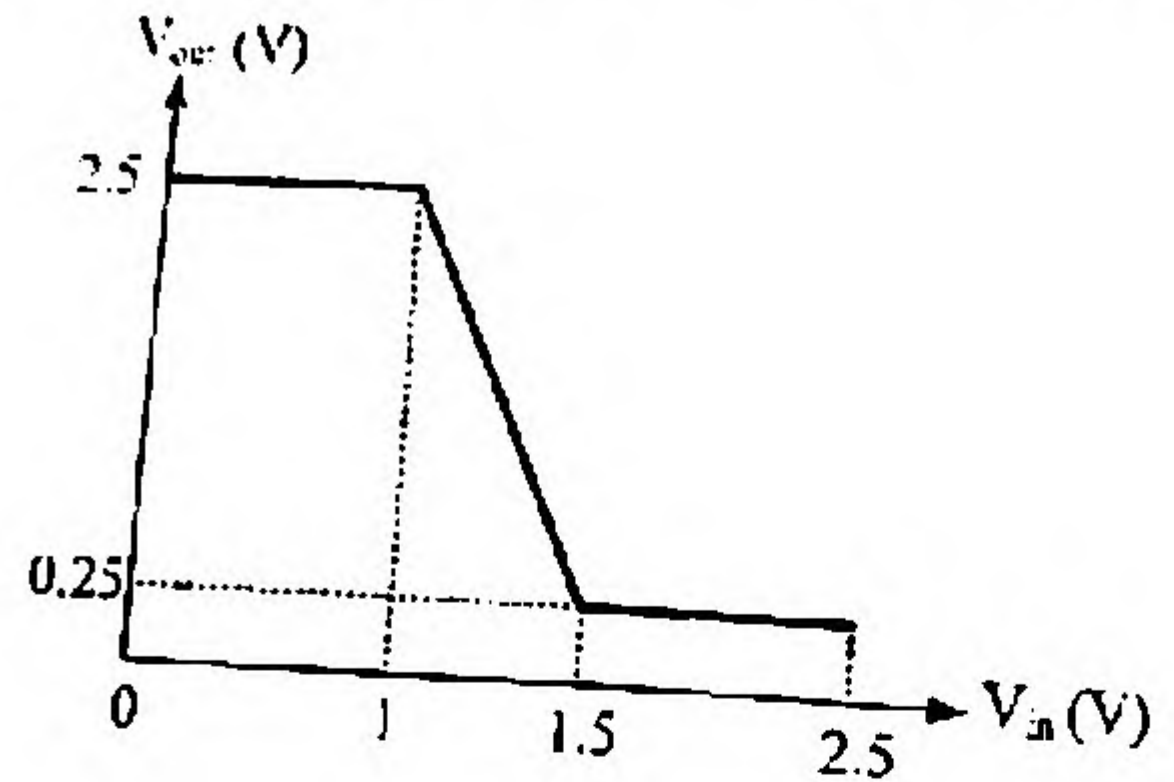
۱- توان را به دست آورید؟



۲- جریان i_o را به دست آورید. $i_s = 2A$



۳- با توجه به شکل داده شده، مقدار ولتاژهای بحرانی را بنویسید.



۴- جریان دیود را به دست آورید.

$$V_T = 25mV$$

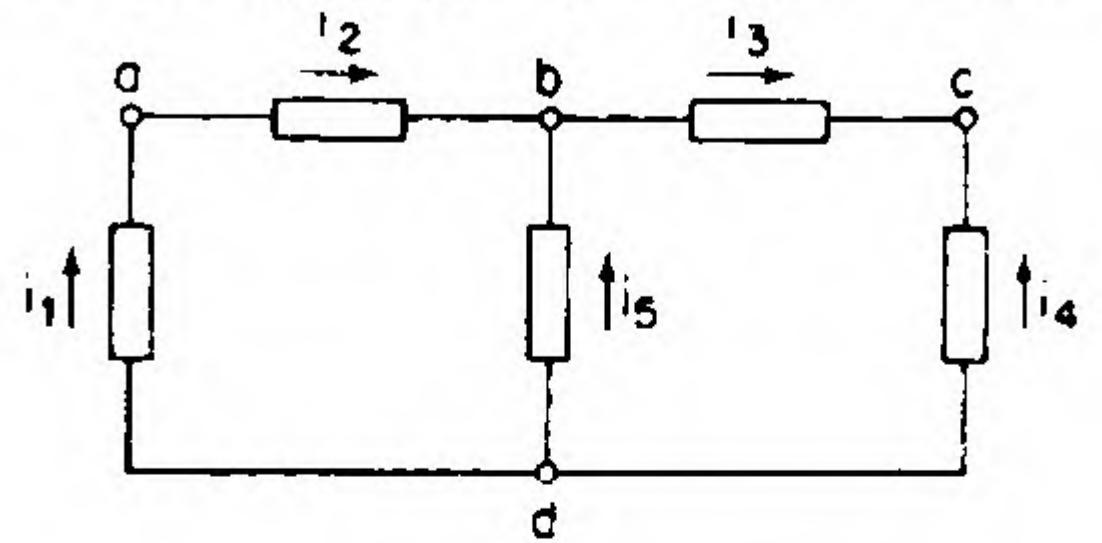
$$V_D = 0.1V$$

$$I_s = 10^{-14}A$$

$$n = 1$$

شماره سوال	پاسخ صحیح
1	ج
2	ب
3	د
4	الف
5	د
6	ج
7	ج
8	د
9	الف
10	ب
11	ج
12	الف
13	د
14	ج
15	ب
16	د
17	الف
18	الف
19	ب
20	ج
21	الف
22	ب
23	د
24	د
25	ج

۱- معادلات KVL برای مدار الکتریکی زیر کدام است ؟



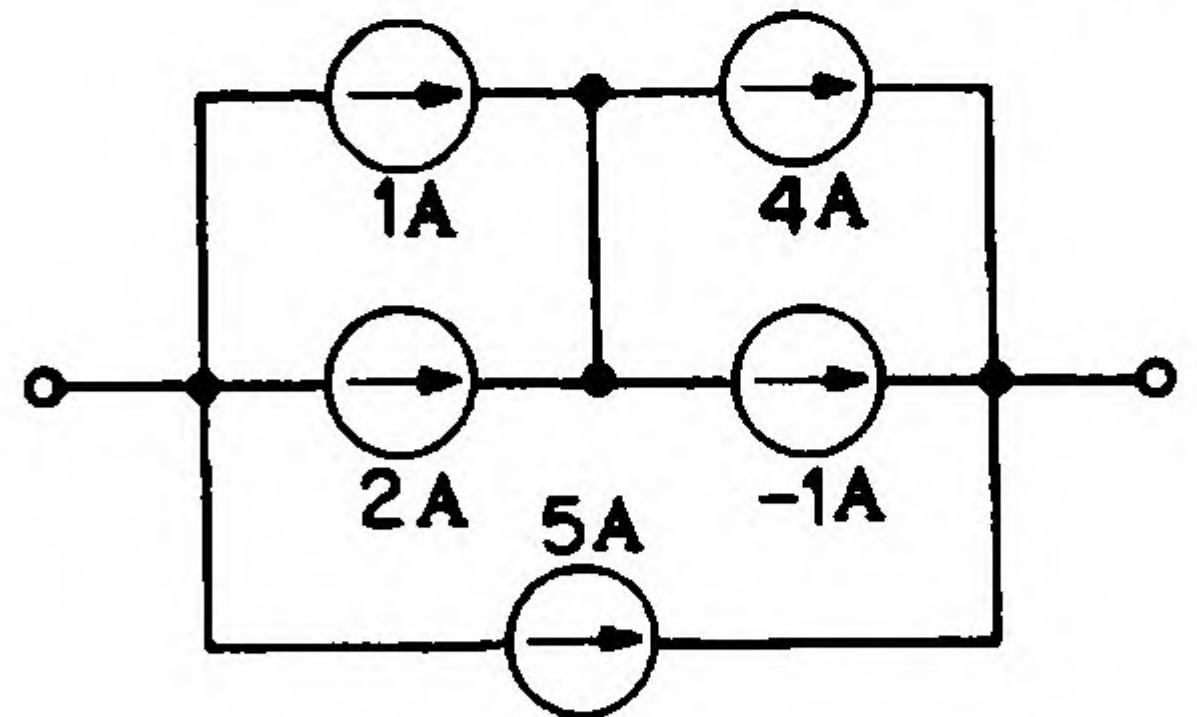
۱. $v_1 + v_2 + v_5 - v_4 = 0$, $v_5 + v_3 - v_1 = 0$, $v_1 + v_2 - v_5 = 0$

۲. $v_1 + v_2 + v_3 - v_4 = 0$, $v_5 + v_2 - v_4 = 0$, $v_1 + v_2 - v_4 = 0$

۳. $v_1 + v_2 + v_3 - v_4 = 0$, $v_5 + v_3 - v_4 = 0$, $v_1 + v_2 - v_5 = 0$

۴. $v_1 + v_2 + v_5 - v_4 = 0$, $v_2 + v_3 - v_4 = 0$, $v_1 + v_2 - v_4 = 0$

۲- منبع جریان معادل شکل زیر چند آمپر است؟



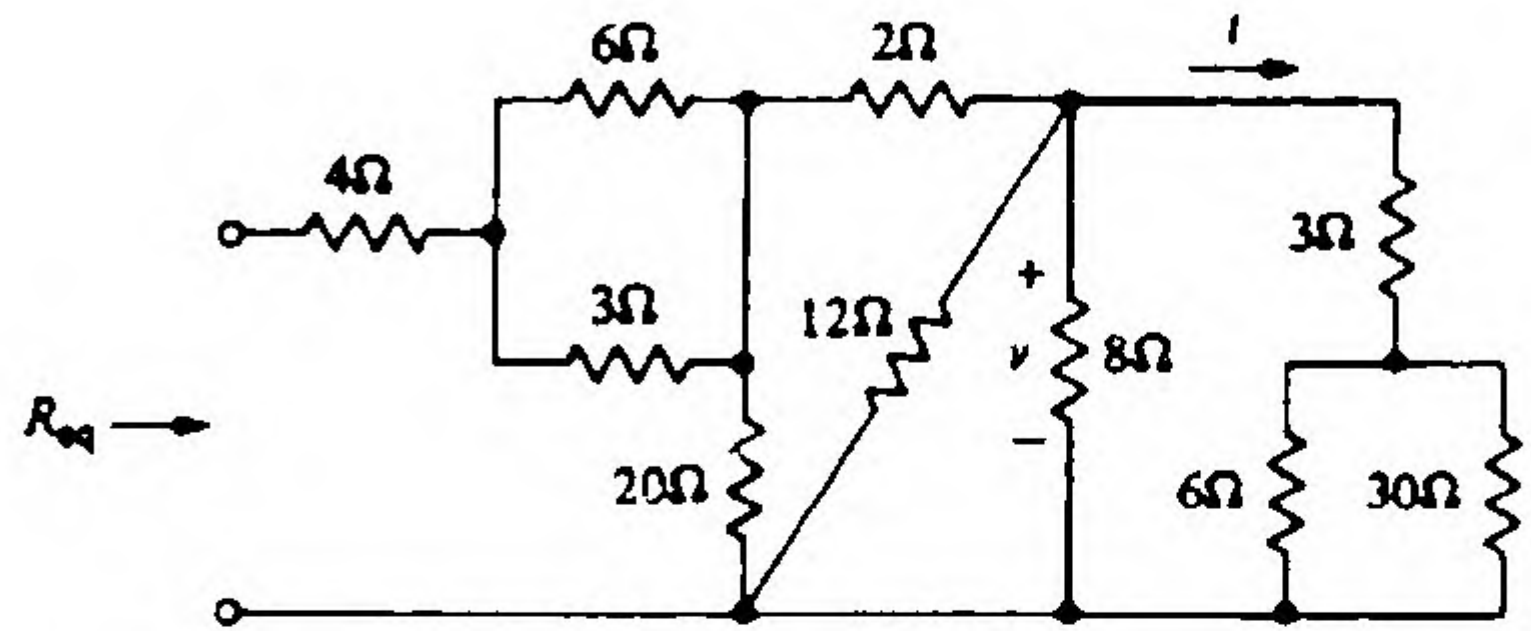
۹ .۴

۸ .۳

۷ .۲

۱۰ .۱

۳- در مدار زیر مقدار R_{eq} چند اهم است؟



۴ . 14

۳ . 8

۲ . 12

۱ . 10

۴- کدام منطق کمترین توان مصرفی را دارد؟

۴ . NMOS

۳ . CMOS

۲ . PMOS

۱ . TTL

۵- فناوری BiCMOS چیست؟

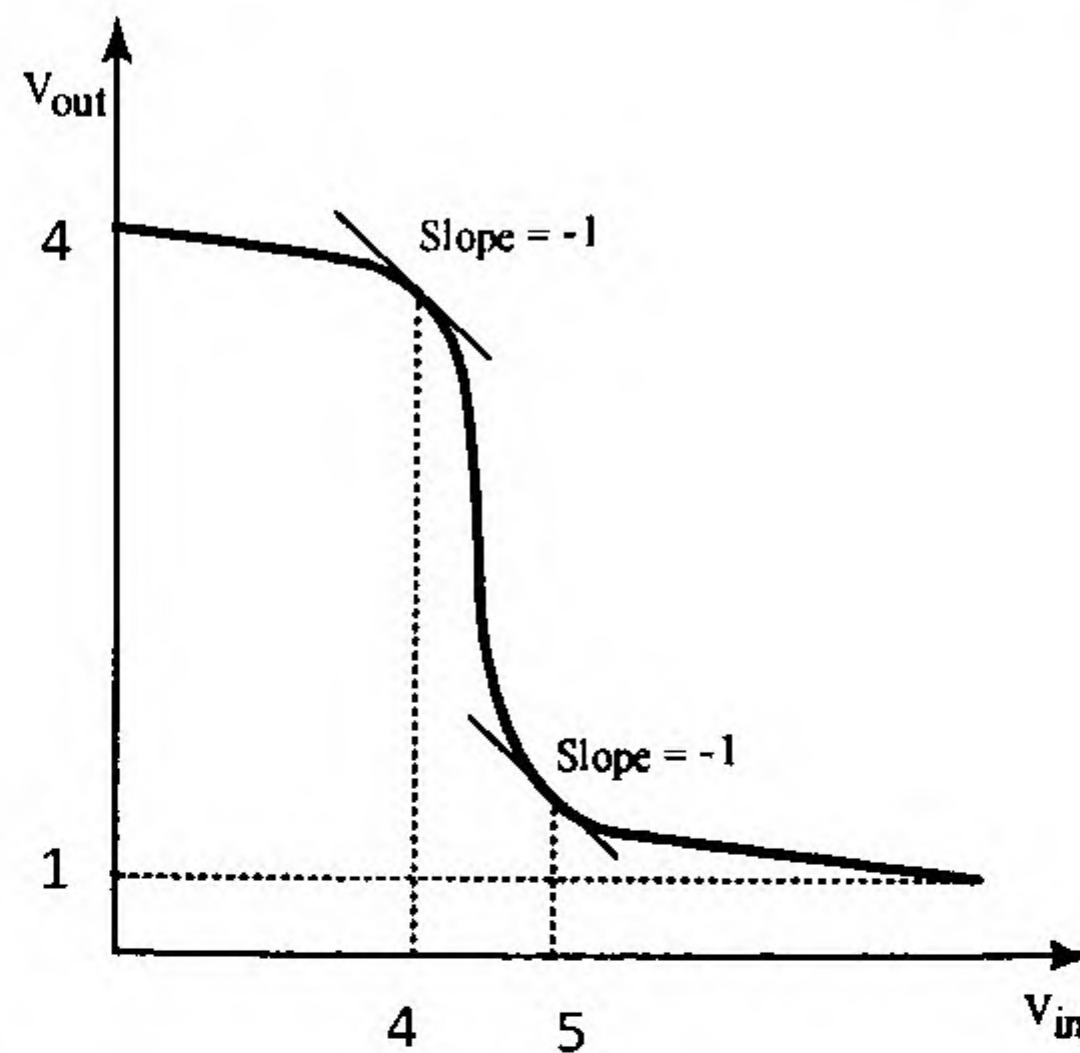
۱ . فناوری ساخت دستگاههای پزشکی

۲ . فناوری ای که در آن از ترانزیستورهای دو قطبی همراه با ماسفت ها استفاده شده است

۳ . فناوری ساخت دو عدد CMOS در کنار هم

۴ . فناوری توان پایین ساخت دو نیمه هادی

۶- کدام رابطه در باره حاشیه نویز درست است ؟



۲. $NM_H = 3, NM_L = 1$

۱. $NM_H = 1, NM_L = 3$

۴. $NM_H = 8, NM_L = 6$

۳. $NM_H = 5, NM_L = 9$

۷- برای ولتاژ خارجی دو سر یک دیود $V_D = 2.3 V$ و $I_S = 10^{-14} A$ و $n = 1$ در دمای 27 درجه سانتیگراد جریان دیود چند آمپر است ؟

۲. $I_D = 10^{24} A$

۱. $I_D = 10^{14} A$

۴. $I_D = 10^{25} A$

۳. $I_D = 9.02 \times 10^{25} A$

۸- ولتاژ آستانه یک ترانزیستور PMOS برابر $-0.6V$ در حالی که ضریب اثر بدنه برابر -0.4 است ولتاژ آستانه را برای $V_{SB} = -2.5V$ و $2\Phi_F = 0.8V$ چند ولت خواهد بود ؟

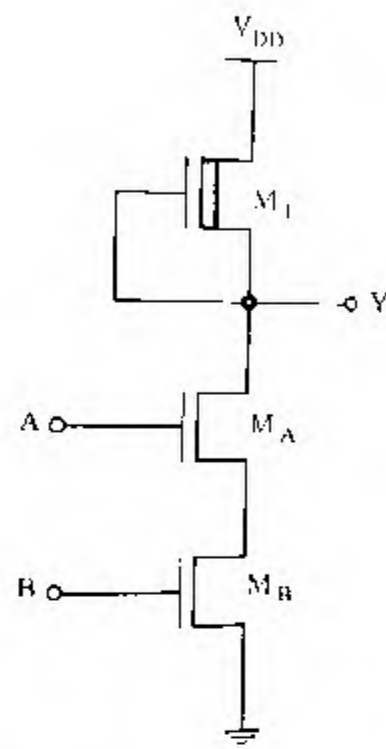
۴. 0.77

۳. 0.6

۲. 0.87

۱. 0.33

۹- مدار زیر چیست؟



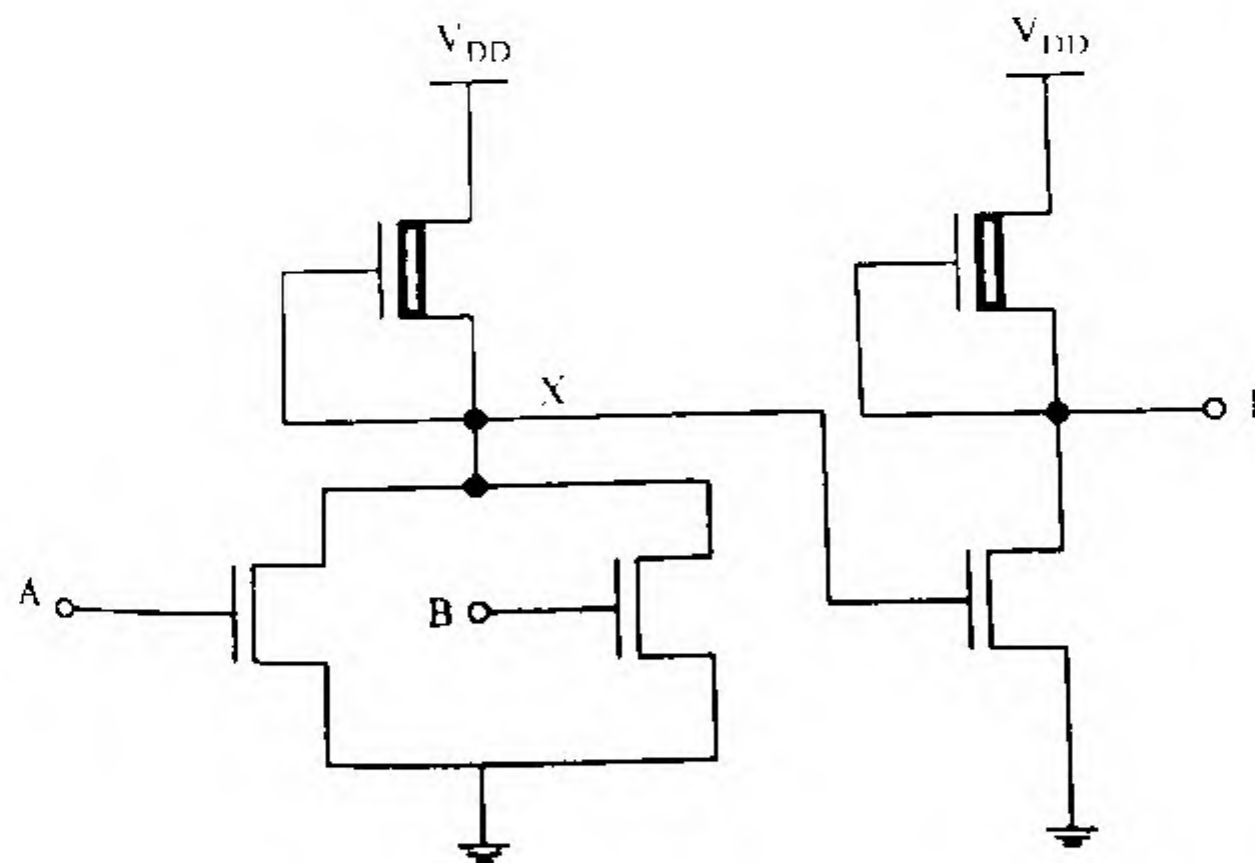
۲. NMOS منطق NOR

۱. NMOS منطق NAND

۴. CMOS منطق NOR

۳. CMOS منطق NAND

۱۰- مدار زیر پیاده شده کدام تابع است؟



۴. $F = AB$

۳. $F = \overline{BA}$

۲. $F = \overline{(A + B)}$

۱. $F = A + B$

۱۱- اگر $V_{DD} = 3V$ ، $V_{TN} = |V_{TP}| = 0.5V$ ، $K_n = 200 \mu A/V^2$ مقدار $R_{ON,N}$ کدام است؟

۴. $3K\Omega$

۳. $2K\Omega$

۲. $2.5K\Omega$

۱. $5K\Omega$

۱۲- یک تراشه CMOS که با فناوری 0.25 میکرون طراحی شده و با ولتاژ 2.5V کار می کند دارای فرکانس کاری 500 مگاهرتز است با فرض اینکه تعداد یک میلیون گیت داخل این تراشه وجود داشته باشد و خازن خروجی هر گیت 15 فمتوفاراد باشد، مصرف توان پویای این تراشه کدام گزینه است؟

۴. تقریباً 100 وات

۳. تقریباً 10 وات

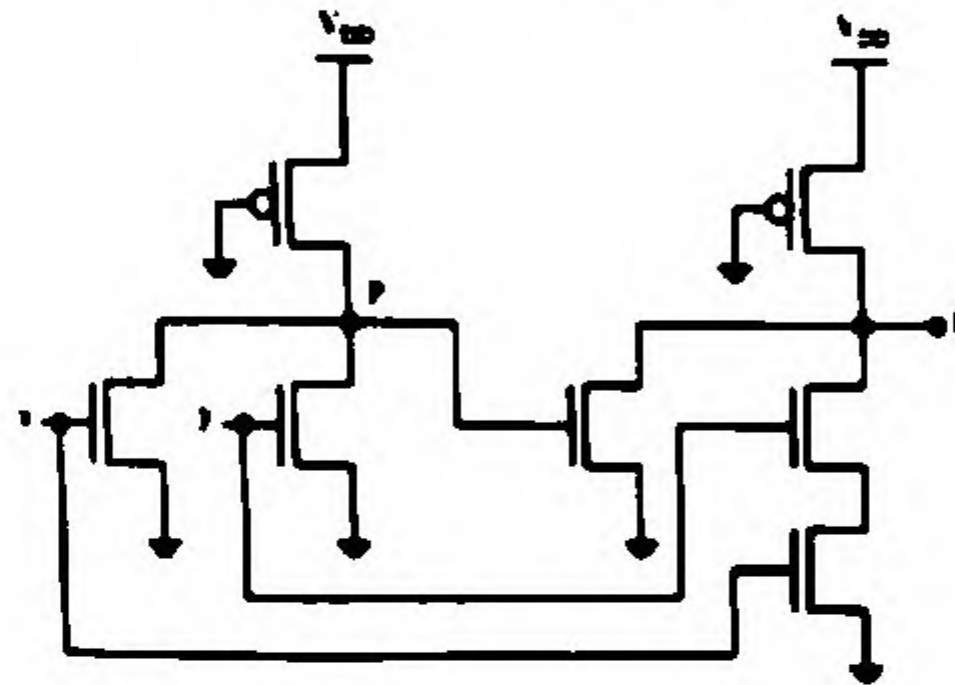
۲. تقریباً 30 وات

۱. تقریباً 50 وات

۱۳- در مدارهای CMOS مصرف توان دارای چند مولفه بوده و کدام یک بر دو تای دیگر غلبه دارد ؟

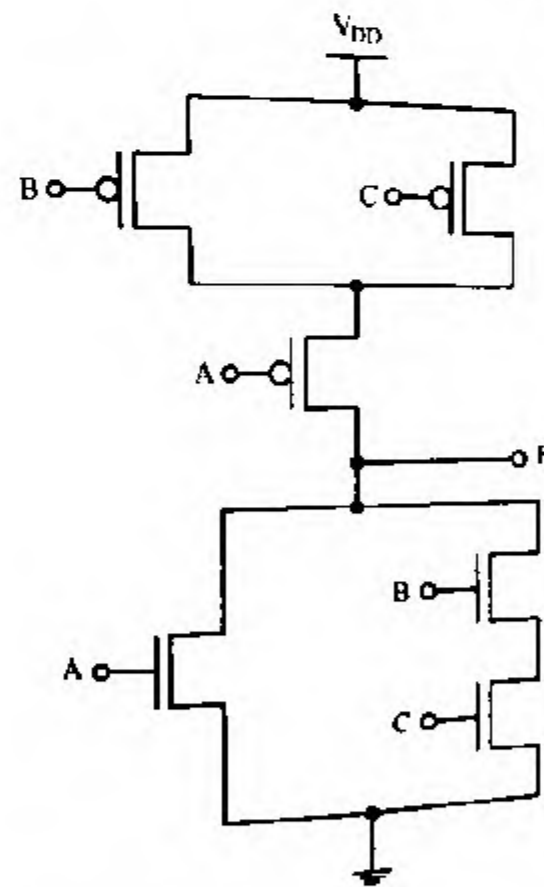
۱. سه مولفه و توان پویا بردوتای دیگر غلبه دارد.
۲. سه مولفه و مولفه توان ایستا بر دو تای دیگر غالب است.
۳. دو مولفه و توان اتصال کوتاه بر دو تای دیگر غالب است.
۴. سه مولفه و هیچ یک بر دیگری غالب نیست.

۱۴- مدار زیر متشکل از دو طبقه NMOS است ، کدام گزینه را پیاده سازی می کند ؟



۱. OR
۲. AND
۳. XOR
۴. XNOR

۱۵- مدار زیر کدام تابع را در CMOS استاندارد می سازد؟



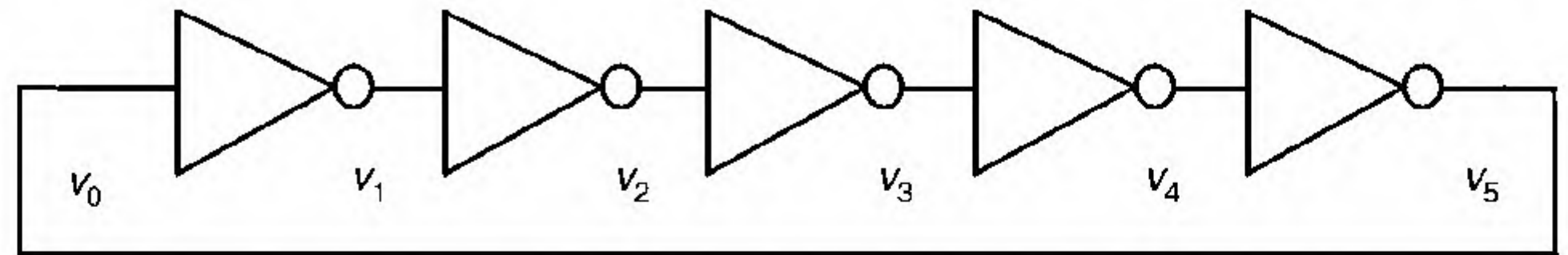
$$F = \overline{(A + BC)} \quad .۲$$

$$F = \overline{(A + C)} \quad .۱$$

$$F = A + BC \quad .۴$$

$$F = \overline{(BA + C)} \quad .۳$$

۱۶- مدار شکل مقابل چیست؟



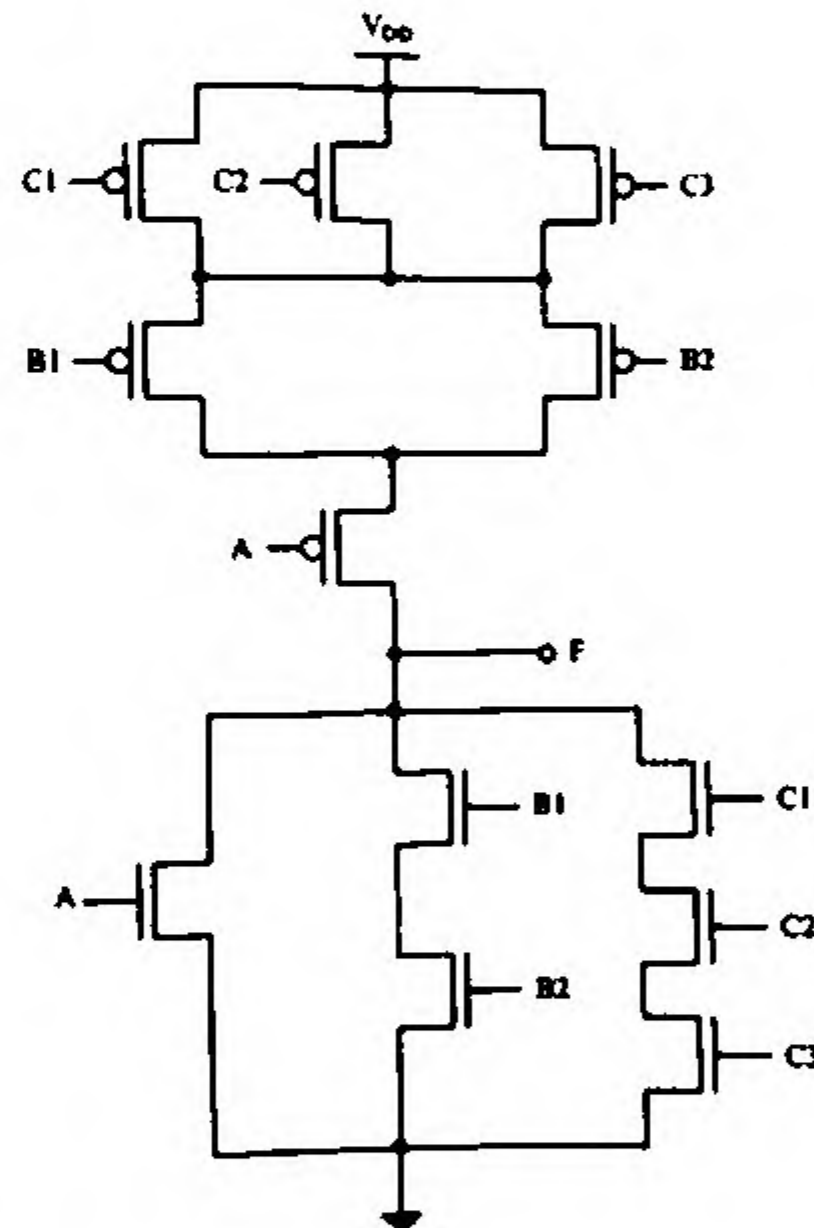
۱. وارونگر

۲. نوسانساز

۳. تقویت کننده

۴. تقویت کننده ی وارونگر

۱۷- خروجی مدار زیر کدام است؟



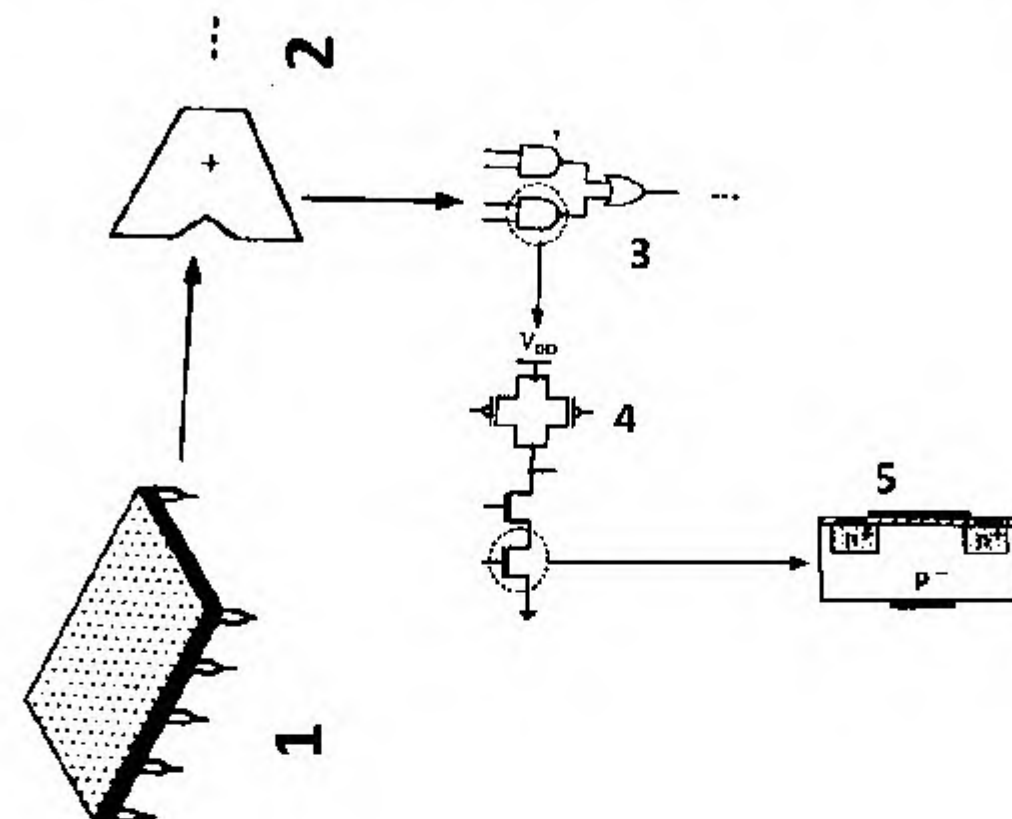
۱. $F = A + B'B'' + C'C''C'''$

۲. $F = \overline{A + B'B'' + C'C''C'''}$

۳. $F = \overline{A + B'B''} + C'C''C'''$

۴. $F = A + B'B'' + \overline{C'C''C'''}$

۱۸- اگر سطوح سلسله مراتبی طراحی مدارات دیجیتال را با شکل زیر نمایش دهیم قسمت ۱ کدام سطح خواهد بود؟



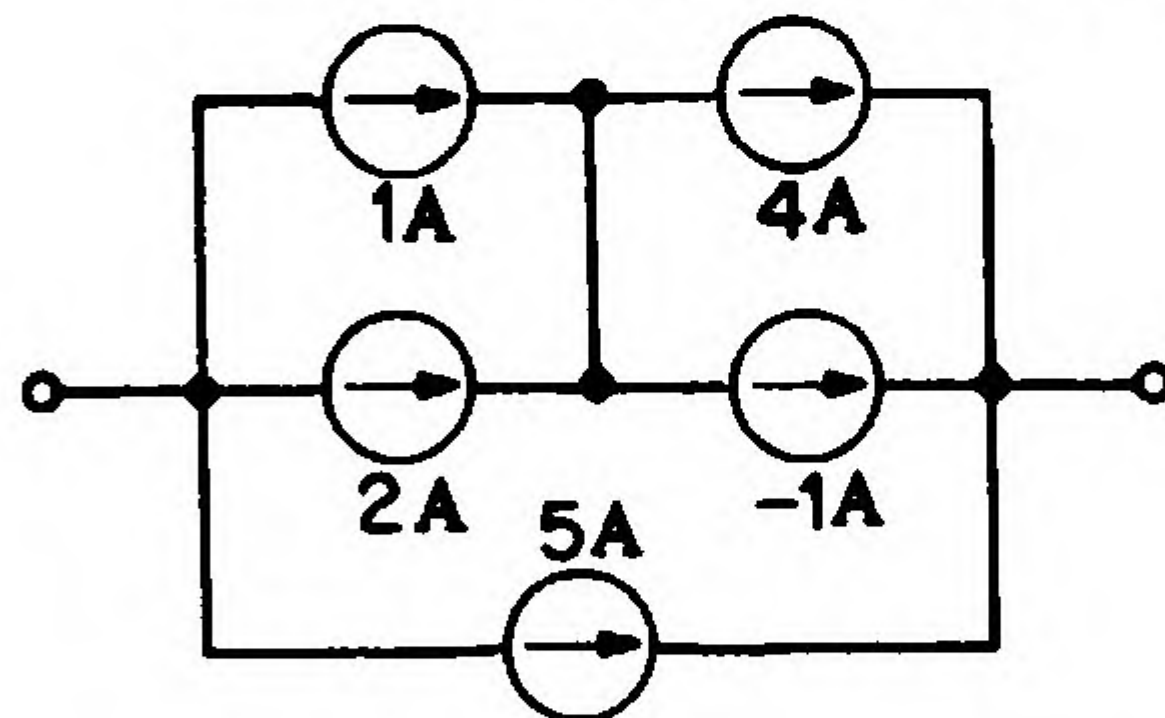
۱. پیمانه

۲. سیستم

۳. مدار

۴. گیت

۱۹- منبع جریان معادل شکل زیر چند آمپر است؟



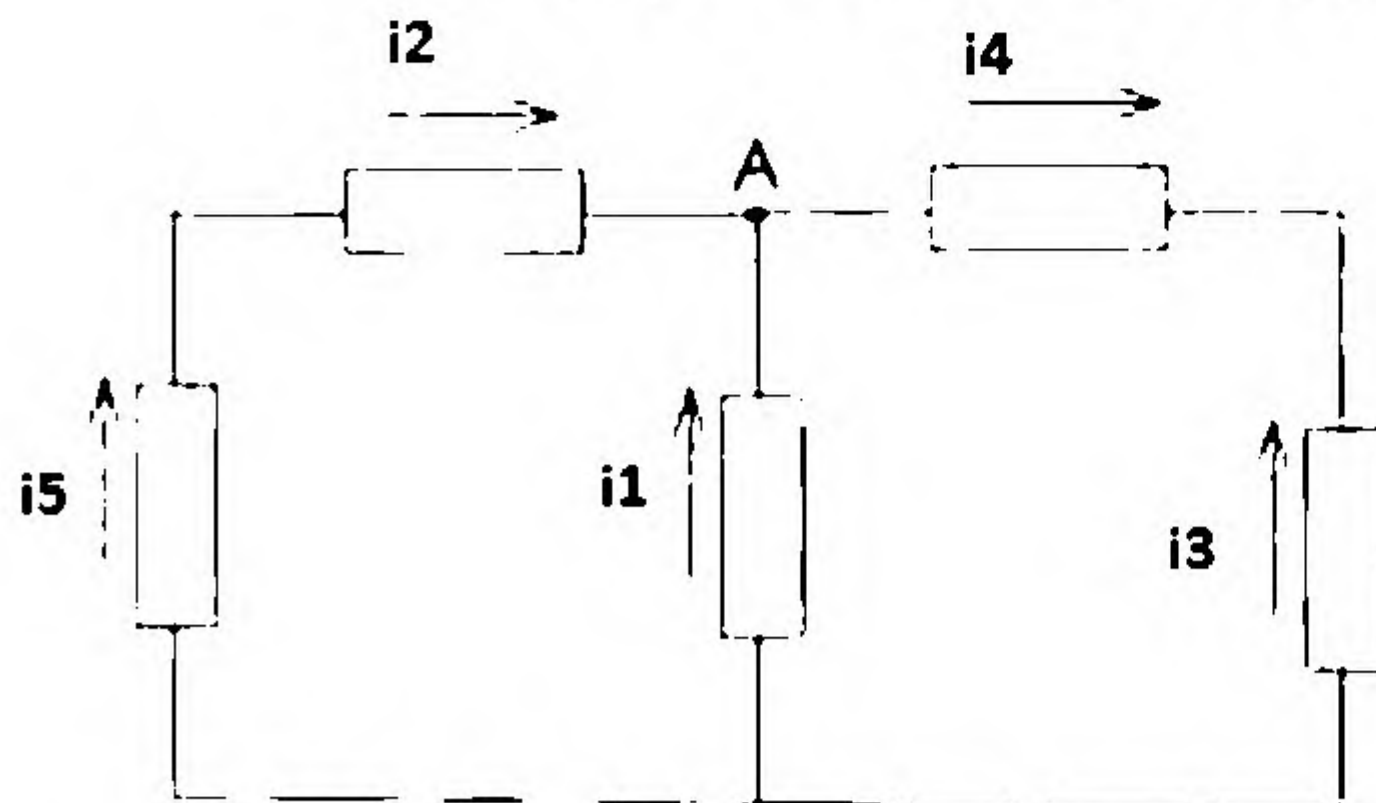
۱. ۸

۲. ۱۱

۳. ۹

۴. ۱۰

۲۰- در مدار زیر کدام گزینه بیانگر KCL در گره A است



۱. $i_2 = i_1 + i_4$

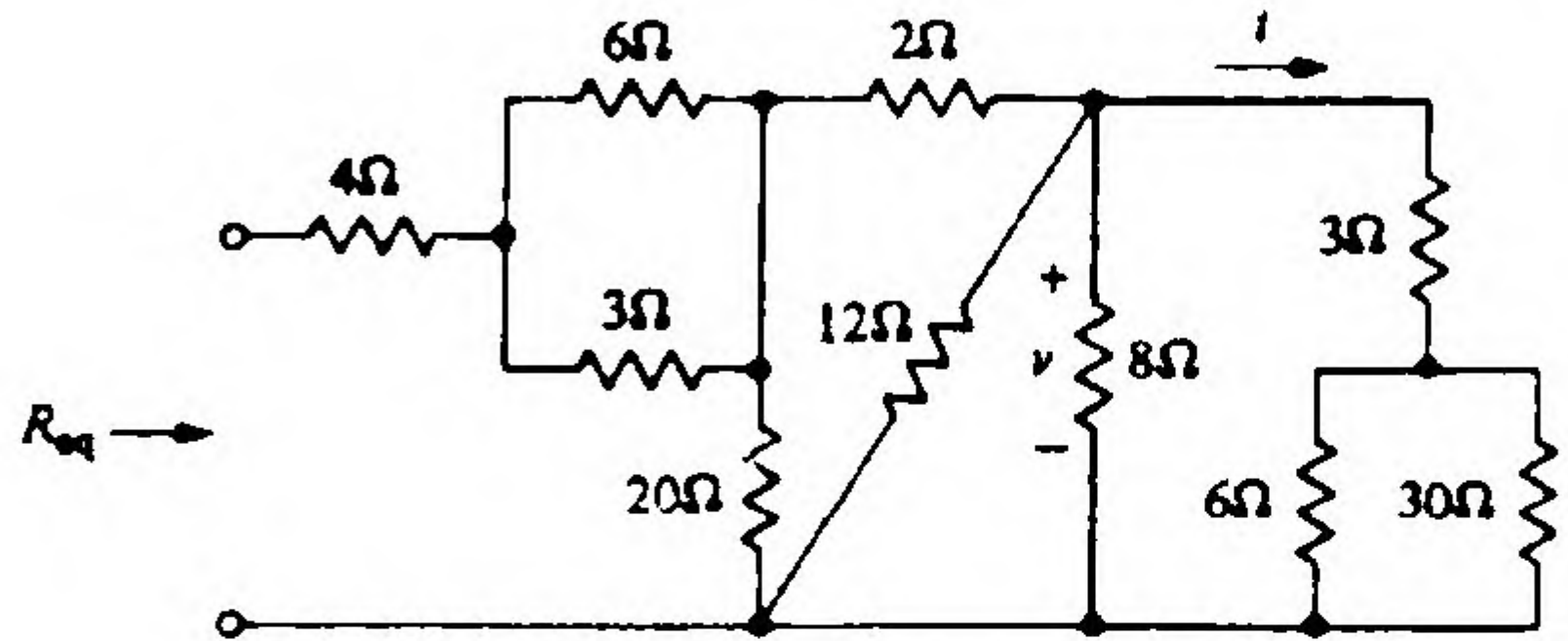
۲. $i_5 = -i_1 - i_4$

۳. $i_1 = -i_5 - i_3$

۴. $i_3 = i_1 + i_2$

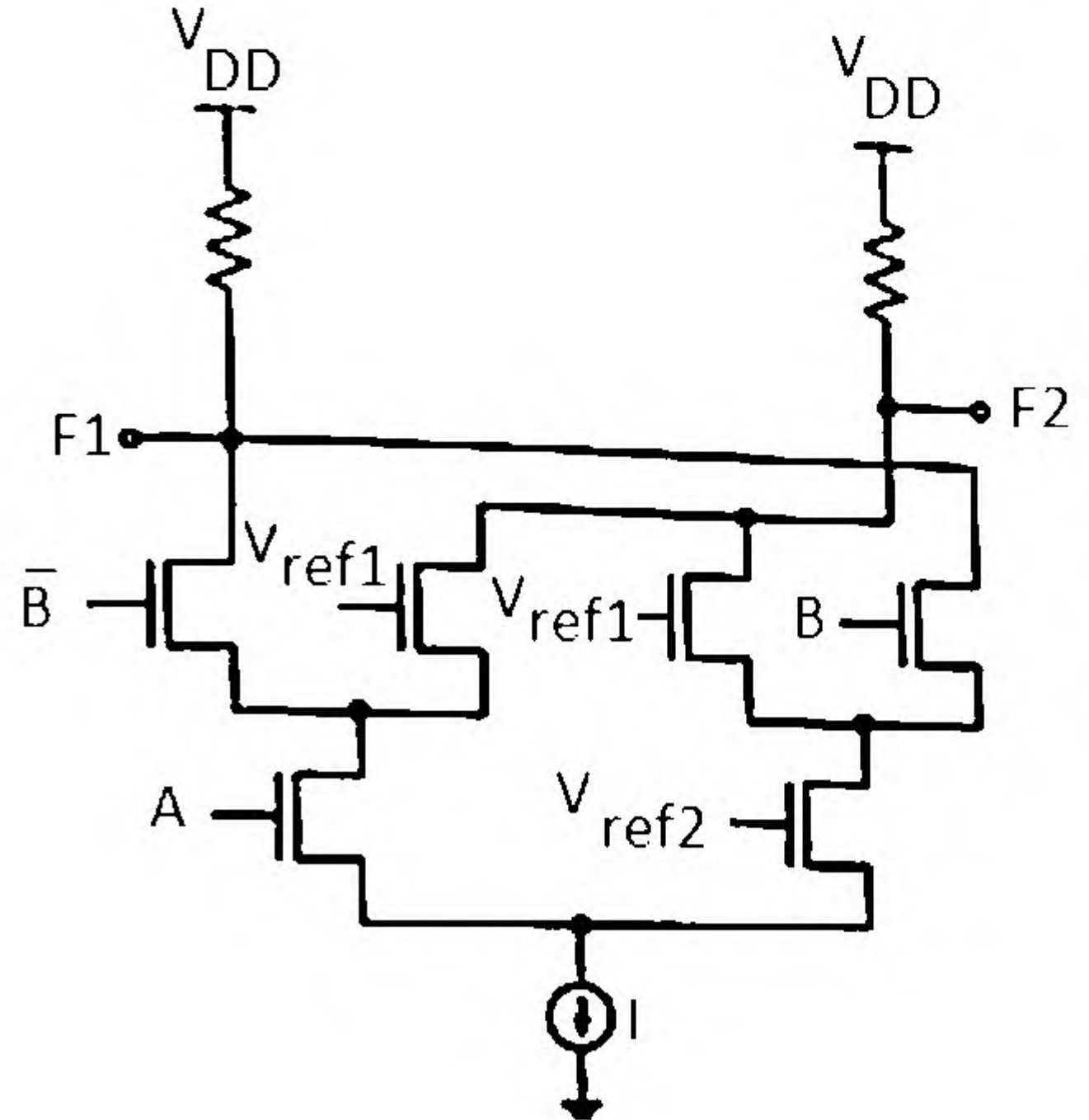
سوالات تشریحی

۱- در مدار زیر مقدار R_{eq} را پیدا کنید. اگر یک منبع با ولتاژ ثابت 50 ولت به دو سر پایانه ورودی وصل کنیم ولتاژ V و جریان i را بیابید.



۲- توضیح دهید که مفهوم سلسله مراتبی در طراحی مدارهای دیجیتال به صورت خودکار و توسط کامپیوتر چیست؟

۳- عملکرد مدار SCL در شکل زیر را مشخص کرده سپس معادل آن را در منطق DCVSL پیشرفته مشخص نمایید.



۴- در یک معکوس کننده CMOS، فرض کنید که برای ترانزیستور NMos داریم.

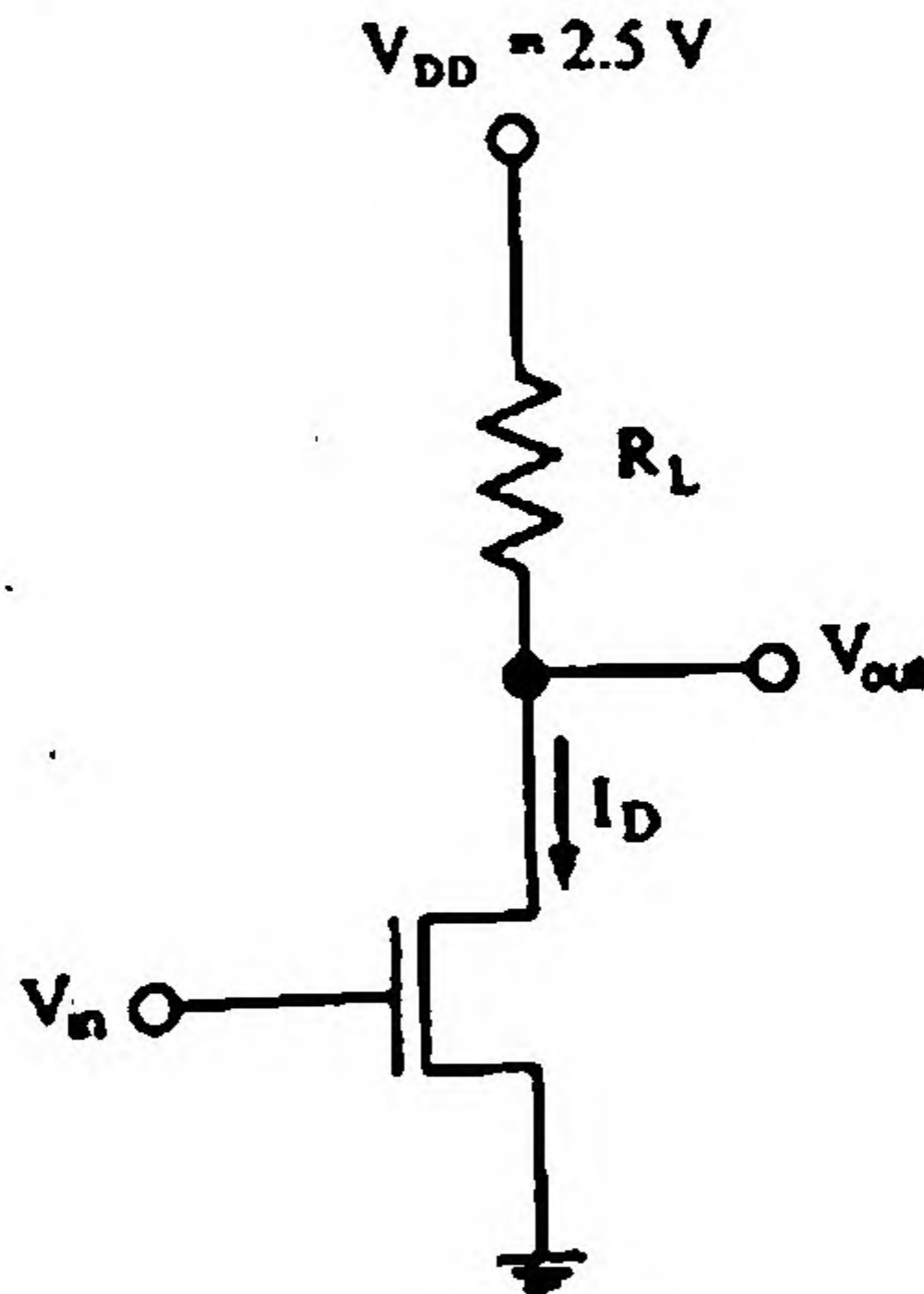
$$V_{gs} = 3.03V, W/L = 6.2, V_{th} = 0.7V, V_{ds} = 3V, K'_n = \mu_n C_{ox} = 73 \mu A/V^2$$

مشخص کنید که ترانزیستور در کدام ناحیه است و جریان بر حسب میکرو آمپر چقدر است؟

۵- در وارونگر زیر نقاط بحرانی مدار را تعیین نموده و بر اساس آن منحنی انتقال ولتاژ را رسم نمایید. پارامترها را

به صورت زیر در نظر بگیرید:

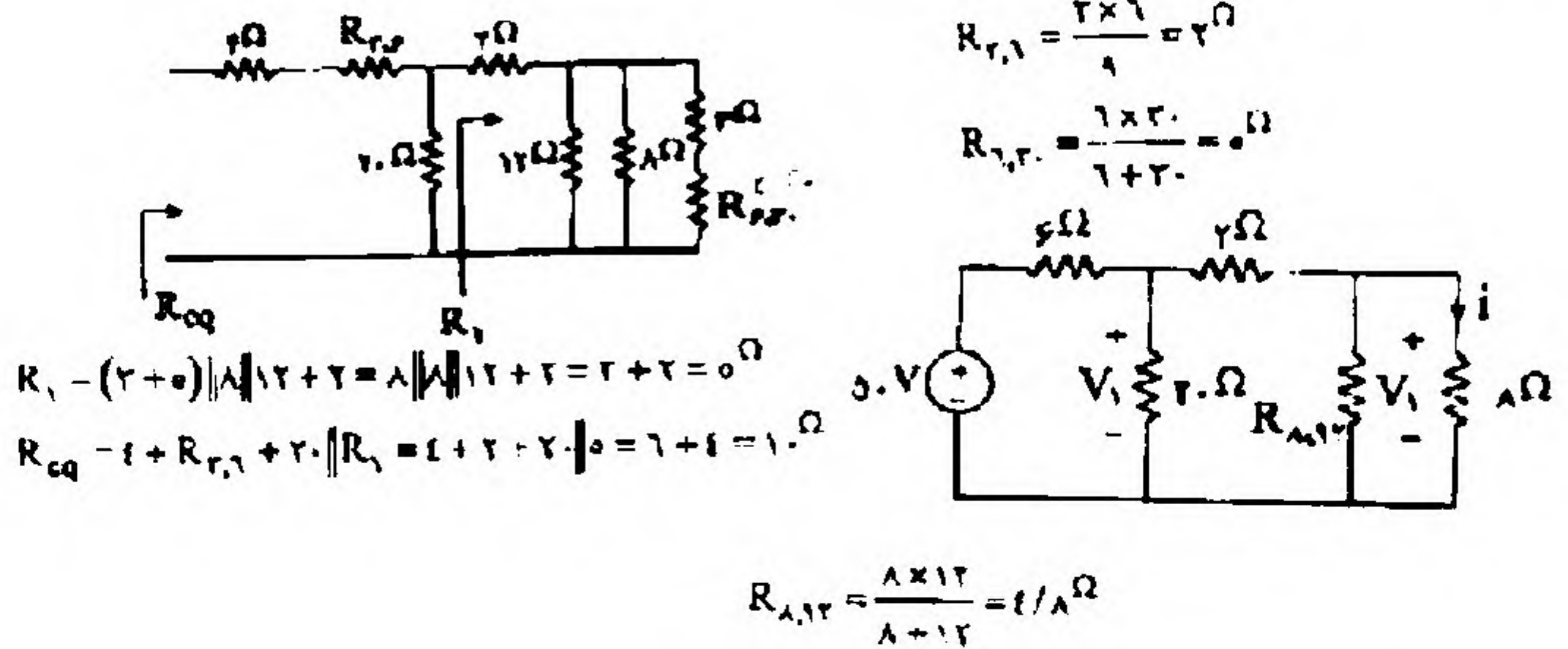
$$V_N = 0.5V, K'_n = 100 \frac{\mu A}{V^2}, V_{DD} = 2.5V, R_L = 50k\Omega, \left(\frac{W}{L}\right) = \frac{0.5\mu m}{0.25\mu m}$$



شماره سوال	پاسخ صحيح
1	ج
2	ج
3	الف
4	ج
5	ب
6	الف
7	ج
8	ب
9	الف
10	الف
11	ج
12	الف
13	الف
14	د
15	ب
16	ب
17	ب
18	ب
19	الف
20	ج

سوالات تشریحی

۱- مرین 6 کتاب مدار 1 فصل دوم صفحه 47



۲- فصل ۱ صفحه ۸

در روش خودکار، یک مدار به صورت سلسله‌مراتبی ساخته می‌شود. یک پردازنده مجموعه‌ای از پیمانه‌ها، نظیر مدار ضرب کننده است که هر پیمانه ممکن است شامل پیمانه‌های دیگر نیز باشد. پیمانه‌های واقع در پایین‌ترین سطح با استفاده از سلول‌های استاندارد^۳ ساخته می‌شوند. لازم به ذکر است که سلول‌های استاندارد، گیت‌های از بیس طراحی شده‌ای هستند که مشخصات فیزیکی و الکتریکی آنها به صورت مدل‌هایی^۴ و در قالب کتابخانه‌هایی توسط شرکت سازنده در اختیار طراح قرار داده می‌شوند. سلول‌های استاندارد، جهت کاهش هزینه طراحی و دستیابی به یک پیاده‌سازی که در همان تلاش اول به درستی کار کند، به‌مدفوعات مورد استفاده قرار می‌گیرند.

۳- حل: مثال ۵-۱۲ فصل ۵ صفحه ۲۵۷ و ۲۵۸

۴- در ناحیه اشباع - $740\mu A$ منبع دو فصل ۲ صفحه ۷۶

۵- منبع دوم فصل ۳ صفحه ۱۰۶